

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-33087  
(P2000-33087A)

(43) 公開日 平成12年2月2日 (2000.2.2)

(51) Int.Cl. <sup>7</sup>	識別記号	FI	キーワード (参考)
A 6 1 B 8/00		A 6 1 B 8/00	
G 0 1 S 15/89		G 0 1 S 15/89	B

審査請求 未請求 請求項の数 1 OL (全 28 頁)

(21) 出願番号 特願平11-148454

(22) 出願日 平成11年5月27日 (1999.5.27)

(31) 優先権主張番号 0 8 5 7 1 8

(32) 優先日 平成10年5月28日 (1998.5.28)

(33) 優先権主張国 米国 (US)

(71) 出願人 398038580

ヒューレット・パカード・カンパニー  
HEWLETT-PACKARD COMPANY

アメリカ合衆国カリフォルニア州パロアルト  
ハノーバー・ストリート 3000

(72) 発明者 パーナード・ジェイ・サボード

アメリカ合衆国マサチューセッツ州01810,  
アンドオーバー, ハイランド・ロード・  
243

(74) 代理人 100063897

弁理士 古谷 肇 (外2名)

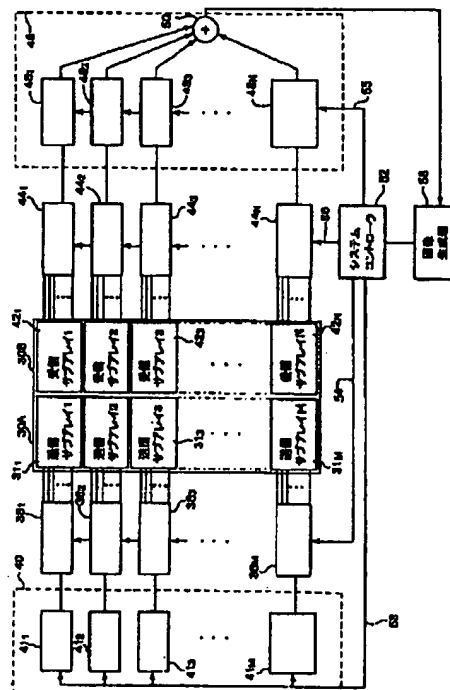
最終頁に続く

(54) 【発明の名称】 グループ内プロセッサを有するフェーズドアレイ音響装置

(57) 【要約】 (修正有)

【課題】 大きさ、コスト及び複雑性において実用的であり、かつ動く器官の画像を捉えるために十分に高速で動作する超音波撮像装置を提供する。

【解決手段】 各グループ内受信プロセッサ44は、接続されたサブアレイのトランスデューサ素子から、送信音響ビームからのエコーに呼応してトランスデューサ信号を受信し、受信したトランスデューサ信号を遅延させて加算する遅延及び加算素子を含む。また、グループ内受信プロセッサに接続される幾つかの処理チャンネルを含む受信ビームフォーマ46を含み、各処理チャンネルは、グループ内受信プロセッサから受信した信号を遅延させることによってエコーから受信ビームを合成するビームフォーマ遅延と、処理チャンネルからの信号を受信して加算するビームフォーマ加算器50を含む。



## 【特許請求の範囲】

【請求項1】 被検体部位を画像化するためのフェーズドアレイ音響装置であって：多数のトランスデューサ素子を含む送信アレイ（30A）と；被検体部位に放射される送信音響ビームを生成するように構成及び配列されている前記トランスデューサ素子に接続される幾つかの送信ビームフォーマチャンネル（41<sub>1</sub>、41<sub>2</sub>、…41<sub>n</sub>）を含む送信ビームフォーマ（40）と；幾つかの受信サブアレイ（42<sub>1</sub>、42<sub>2</sub>、…42<sub>n</sub>）に割り付けられている多数のトランスデューサ素子を含む受信アレイ（30B）と；前記幾つかの受信サブアレイに接続する幾つかのグループ内受信プロセッサ（44<sub>1</sub>、44<sub>2</sub>、…44<sub>n</sub>）と、このグループ内受信プロセッサの各々が前記接続するサブアレイの前記トランスデューサ素子から、前記送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列され、前記グループ内受信プロセッサの各々が、前記受信したトランスデューサ信号を遅延させるように配列されている遅延素子（118<sub>1</sub>、118<sub>2</sub>、…118<sub>n</sub>）を形成する電荷結合素子（230）と、前記遅延されたトランスデューサ信号を受信して、前記遅延されたトランスデューサ信号を加算するように構成されている加算素子（120）とを含み、受信ビームフォーマ（46）と、この受信ビームフォーマ（46）が、前記幾つかのグループ内受信プロセッサに接続されている幾つかの処理チャンネル（48<sub>1</sub>、48<sub>2</sub>、…48<sub>n</sub>）と、この処理チャンネルの各々が前記グループ内受信プロセッサから受信した遅延信号によって前記エコーから受信ビームを合成するように構成及び配列されているビームフォーマ遅延機構を含み、前記処理チャンネルから信号を受信して加算するように構成及び配列されているビームフォーマ加算機構（50）とを含み、そして；前記受信ビームフォーマから受信した信号を基にして前記被検体部位の画像を形成するように構成及び配列されている画像生成器（58）とを含むことを特徴とするフェーズドアレイ音響装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、超音波、フェーズドアレイ撮像システムに関する。より詳細には非常に多くの数のトランスデューサ素子を有するトランスデューサアレイを利用した撮像システムに関する。また本発明は、ビームフォーマ（beamformer）チャンネルよりも多数のトランスデューサ素子を有するトランスデューサアレイを含む撮像システムに関する。

## 【0002】

【従来の技術】フェーズドアレイ超音波撮像システムは、人体内部のリアルタイム画像を作るのに利用されている。このような撮像システムには、送信/受信スイ

ッチを用いた単一の超音波トランスデューサアレイに結合しているか、もしくは送信トランスデューサアレイと受信トランスデューサアレイに別々に結合しているかの、いずれかの多チャンネル送信ビームフォーマと多チャンネル受信ビームフォーマが含まれる。送信ビームフォーマは、周期電気パルスを発生し、それらを個々のトランスデューサ素子に事前に決められたタイミングシーケンスで印加する。トランスデューサは電気パルスにตอบสนองし、トランスデューサアレイから事前に決められた方向に伝搬する送信ビームを形成するように位相調整された対応する圧力波を放射する。

【0003】送信ビームが人体を通過する際、音響エネルギーの一部が異なる音響特性を有する組織構造からトランスデューサアレイに向かって散乱されて戻ってくる。受信トランスデューサアレイ（これは送信アレイと同一である場合もある）は、圧力パルスに対応する電気パルスに変換する。組織構造から散乱した超音波エネルギーは、異なる距離のために、個々のトランスデューサに異なった時間で戻る。トランスデューサの各々は、増幅されて受信ビームフォーマの処理チャンネルの1つに与えられる電気信号を生成する。受信ビームフォーマは、加算素子に接続された補償遅延素子を有する複数の処理チャンネルを持つ。システムは、個々のチャンネルに対する遅延値を選択して、選択部位から散乱されたエコーを集める。その結果として遅延信号が加算されると、選択部位に対応する信号から強い信号が生成されるが、しかし異なる時間に対応する他の部位から到達する信号がランダムな位相関係を有しており、したがって消滅するように干渉する。補償遅延素子の相対遅延が、トランスデューサアレイに対する受信ビームの向きを制御する。したがって受信ビームフォーマは、動的に受信ビームを所望の方向に向けることが出来、またビームを所望の深度に集束することが出来る。

【0004】撮像データを集めるために、送信ビームフォーマはトランスデューサアレイが超音波ビームを所望の走査パターン上に分布する複数の送信走査線に沿って放射するように向ける。送信ビーム毎に、受信ビームフォーマに接続される受信トランスデューサアレイが、選択された向きを有する1つ又は幾つかの受信ビームを合成する。送信及び受信ビームは、楔形状音響画像を作るために所定の角間隔で生成された往復ビーム、あるいは平行四辺形音響画像を作るために所定の線間隔で生成された往復ビーム（例えば「質量中心」ビーム）を形成する。

【0005】今日の医療用超音波撮像システムの殆どは、一次元トランスデューサアレイを採用して対象部位を通る二次元画像の断片を形成する。しかしながら医療従事者による三次元画像を望む声は益々高まっている。三次元撮像データを得ることは、超音波装置に機械的に第二の次元に移動する一次元トランスデューサアレイを

用いるか、もしくは二次元トランスデューサアレイを用いることにより可能となる。機械的走査方法は好ましい画像を提供することが出来るが、この方法は三次元データセットを得るのに数分を要する。データを得る間に被検体の器官が動いてしまうこともあり得る。したがっていくつかの理由により、二次元トランスデューサアレイを用いることが望ましい。

【0006】二次元アレイ（もしくはエレベーションアパーチャ（elevation aperture）制御に用いられる1.5次元トランスデューサアレイでも）は数百から数千個のトランスデューサ素子を有する場合がある。これら大型アレイの根本的問題は、例えば今日一般的である128チャンネルシステムのような、信号処理チャンネル数の限られた受信ビームフォーマにそれらをどのように接続するかというところにある。幾つかの解決策が提案されている。

【0007】1つの手法では、ビームフォーマに接続するべきトランスデューサ素子の数を少なくしたグループを選択するアナログマルチプレクサが採用されている。その後選択された素子のグループは、音響線各々について電子的に更新される。しかしながらこの手法においては、常に活動状態であるのは小さい音響開口だけであった。

【0008】もう一つの手法では、各々が受信素子のグループに接続される幾つかのサブアレイ受信プロセッサが用いられる。サブアレイプロセッサは、それらの出力を従来型ビームフォーマに供給する。プロセッサは、利用できるビームフォーマチャンネルに接続可能な受信素子の数を効果的に増やすためにアナログ移相器を含んでも良い。しかしながら移相器を利用すると、1つのサブアレイ中の利用できる効果的遅延量が制約され、したがってサブアレイ中の素子の数を制限してしまうことになる。

【0009】かわりに、信号処理チャンネルを数百あるいは数千本有するビームフォーマを作成し、個々のチャンネルを1つのトランスデューサ素子に接続する構成を試みることも可能である。このような配列は恐らく非常に高価なものとなり、実用的ではない。さらにこの配列は、トランスデューサアレイを包含するトランスデューサハンドル（transducer handle）及びエレクトロニクスボックスをビームフォーマに接続するトランスデューサケーブル中に現実的ではない数のワイヤを必要とする。

【0010】

【発明が解決しようとする課題】トランスデューサ素子にパルスを発生させるために、従来型超音波システムは通常パルス発生器を使って送信素子をトリガする。パルス発生器は、所望の遅延値に到達するまでクロックサイクルをカウントするための、さらにクロックサイクルをカウントして所望のパルス幅及びパルス数を得るための

同期式カウンタを使用する。一般的には1つの同期式カウンタが1つのトランスデューサ素子に接続されているので、そのような大型の二次元トランスデューサアレイに接続されたシステムには、送信パルスを与えるために数百又は数千の同期式カウンタが必要とされ、これには多大な電力と空間が必要である。さらに非常に多数のトランスデューサ素子に接続された従来型の超音波システムには、大きい遅延と細密な遅延解像度を有する遅延線を持つ受信ビームフォーマチャンネルが多数必要とされる。

【0011】一般に二次元又は三次元画像を与えるためには、大型トランスデューサアレイを用いた超音波撮像システムが必要である。このシステムは、その大きさ、コスト及び複雑性において実用的である必要があり、また動く器官の画像を捉えるために十分に高速で動作することが必要である。

【0012】

【課題を解決するための手段】本発明は、多数のトランスデューサ素子を持つトランスデューサアレイを用いた超音波撮像装置又は方法に関し、またビームフォーマチャンネル数よりも著しく多い数のトランスデューサ素子を持つトランスデューサアレイを用いた超音波撮像装置又は方法に関する。装置は寸法、コスト、複雑性において実用的であり、十分に高速であって動く器官の二次元又は三次元画像を与える。

【0013】一つの態様においては、被検体部位を画像化するためのフェーズドアレイ音響装置は、幾つかの送信サブアレイに割り付けられた多数のトランスデューサ素子を含む送信アレイと、幾つかの受信サブアレイに割り付けられた多数のトランスデューサ素子を含む受信アレイとが含まれる。また装置は、被検体部位に向けられる送信音響ビームを発生するように構成されて配列された、送信サブアレイに接続する幾つかのグループ内送信プロセッサと、受信サブアレイに接続する幾つかのグループ内受信プロセッサを含む。各グループ内受信プロセッサは、接続されたサブアレイのトランスデューサ素子から、送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列される。各グループ内受信プロセッサは、受信したトランスデューサ信号を遅延させて加算するように構成された遅延及び加算素子を含む。また装置は、グループ内受信プロセッサに接続される幾つかの処理チャンネルを含む受信ビームフォーマを含み、各処理チャンネルは、グループ内受信プロセッサから受信した信号を遅延させることによってエコーから受信ビームを合成するように構成されて配列されたビームフォーマ遅延と、処理チャンネルからの信号を受信して加算するように構成されて配列されたビームフォーマ加算器（加算接続点（summing junction））とを含む。画像生成器は、被検体部位の画像を受信ビームフォーマから受信した信号に基づいて形成するように構成

されて配列されている。

【0014】この態様には以下の特徴の内の1つ以上が含まれる。

【0015】フェーズドアレイ音響装置は、送信遅延プロフィールをグループ内送信プロセッサに同時に提供するように構成及び配列され、また受信遅延プロフィールをグループ内受信プロセッサに同時に提供するように構成及び配列されたコントローラを含む。送信及び受信遅延プロフィールは、1つのグループ内送信プロセッサ及び1つのグループ内受信プロセッサにそれぞれ接続する送信及び受信トランスデューサ素子に関連した信号遅延値を含む。

【0016】フェーズドアレイ音響装置は、グループ内送信プロセッサの各々に送信番号を提供するように構成及び配列されたコントローラを含む。グループ内送信プロセッサは、送信番号から、そのグループ内送信プロセッサの送信トランスデューサ素子に関連する送信遅延値を計算するように構成及び配列された、少なくとも1つの遅延プロセッサを含む。またフェーズドアレイ音響装置は、グループ内受信プロセッサの各々に受信数を提供するように構成及び配列されたコントローラを含む場合もある。グループ内受信プロセッサは、受信数から、そのグループ内受信プロセッサの受信トランスデューサ素子に関連した受信遅延値を計算するように構成及び配列された、少なくとも1つの遅延プロセッサを含む。遅延プロセッサは加算器であっても良い。

【0017】フェーズドアレイ音響装置は、送信サブアレイ間の相対遅延を制御するためのグループ内送信プロセッサに送信信号を提供するように構成及び配列された幾つかの送信処理チャンネルを含む送信ビームフォーマを含む。

【0018】グループ内送信プロセッサは、選択された遅延値を有するパルスを発生するように構成及び配列されたシフトレジスタを含む。グループ内送信プロセッサは、送信トランスデューサ素子を励起するために用いられる幾つかの遅延信号のうちの1つを選択するように構成及び配列されたマルチプレクサを含む。グループ内送信プロセッサは、シフトレジスタの発生したパルスの1つを選択し、送信トランスデューサ素子に提供するように構成及び配列されたシフトレジスタ及びマルチプレクサの両方を含む。

【0019】グループ内送信プロセッサはプログラム可能な遅延線を含む。プログラム可能な遅延線にはデュアルクロック (dual clock) フリップフロップが含まれる。

【0020】フェーズドアレイ音響装置は、被検体部位付近に配置可能であり、トランスデューサ素子を保持するように構成されたハンドルを含む。またハンドルは、グループ内送信プロセッサを収容するように構成されている。

【0021】フェーズドアレイ音響装置は、被検体部位付近に配置可能であり、トランスデューサ素子を保持するように構成されるハンドルを含み、グループ内送信プロセッサを収容するように構成されたコネクタを含む。

【0022】グループ内受信プロセッサは、トランスデューサ信号を遅延させ、加算素子に遅延したトランスデューサ信号を提供するように構成された幾つかの遅延素子を含む。グループ内受信プロセッサは、トランスデューサ信号を遅延させて加算するように構成された幾つかの遅延素子及び幾つかの加算素子を含む。

【0023】グループ内受信プロセッサは、トランスデューサ信号を遅延させるように構成及び配列された、以下の素子の内の1つを含む。その素子とは、電荷結合素子、アナログRAM、サンプルアンドホールド (sample-and-hold) 回路、能動フィルタ、L-Cフィルタ、スイッチキャパシタフィルタである。

【0024】グループ内受信プロセッサは遅延及び加算素子を有する加算遅延線を含む。またグループ内受信プロセッサは、受信トランスデューサ素子からの信号を加算遅延線の選択されたタップへと接続するように構成及び配列されたクロスポイントスイッチも含む。またクロスポイントスイッチは、幾つかの受信トランスデューサ素子からの信号を加算遅延線の少なくとも1つのタップに接続するように構成及び配列されていても良い。

【0025】グループ内受信プロセッサは、提供された信号に重みつき利得 (weighted gain) を加え、重みつき利得信号を加算遅延線の少なくとも1つのタップに接続するように配列された、クロスポイントスイッチに接続する固定利得増幅器のネットワークを含む。

【0026】グループ内受信プロセッサは、幾つかの遅延素子を有するタップ付遅延線を含む。タップ付遅延線は、遅延素子間に位置して入力タップに接続する幾つかの加算素子を含む。代替的にタップ付遅延線は、遅延素子間に位置する幾つかの出力タップを含んでも良い。またグループ内受信プロセッサは、入力又は出力タップに接続し、タップの1つを選択し、そして受信ビームフォーマの処理チャンネルに接続する出力を与えるように配列されたマルチプレクサを含んでも良い。代替的にグループ内受信プロセッサはまた、入力又は出力タップに接続する少なくとも2つのマルチプレクサを含んでも良く、この場合マルチプレクサは、重みつき利得信号を提供するように構成及び配列されている。

【0027】フェーズドアレイ音響装置は、被検体部位付近に配置可能で、トランスデューサ素子を収容するように構成されているハンドルを含み、この場合グループ内受信プロセッサは、ハンドル内に配置されるように集積した状態 (すなわち1つ又は幾つかの集積回路と個別の素子を例えばプリント回路基板上に載せた状態) に構成されている。

【0028】フェーズドアレイ音響装置は、被検体部位

付近に配置可能で、トランスデューサ素子を収容するように構成されているハンドルを含み、また集積した状態（すなわち1つ又は幾つかの集積回路と個別の素子を例えばプリント回路基板上に載せた状態）に構成されたグループ内受信プロセッサを収容するように構成されているコネクタを含む。

【0029】グループ内受信プロセッサは、遅延素子に並列に接続し、被検体部位の幾つかの領域からの信号を受信するように配列された幾つかの加算素子を含んでいても良い。

【0030】受信ビームフォーマは、並列受信ビームフォーマを形成するために並列に接続された幾つかの処理チャンネルを含んでいても良い。並列処理チャンネルはグループ内受信プロセッサに接続されており、また幾つかの受信ビームを同時に合成するように構成及び配列されている。

【0031】他の態様においては、被検体部位を画像化するためのフェーズドアレイ音響装置は、幾つかの送信サブアレイに割り付けられた多数のトランスデューサ素子を含む送信アレイと、受信ビームフォーマに接続する多数のトランスデューサ素子を含む受信アレイとを含んでいる。またこの装置は、送信サブアレイに接続し、被検体部位に向けられる送信音響ビームを発生するように構成及び配列された、幾つかのグループ内送信プロセッサも含む。受信ビームフォーマは多数の処理チャンネルを含んでおり、処理チャンネルの各々は、トランスデューサ素子から受信した信号を遅延させることにより、エコーから受信ビームを合成するように構成及び配列されたビームフォーマ遅延機構と、処理チャンネルからの信号を受信して加算するように構成及び配列されたビームフォーマ加算機構（加算接続点）とを含む。画像生成器は、被検体部位の画像を受信ビームフォーマから受信した信号に基づき形成するように構成及び配列される。

【0032】この態様は以下の特徴の1つ以上を含む。

【0033】フェーズドアレイ音響装置は、グループ内送信プロセッサに送信遅延プロフィールを同時に提供するように構成及び配列されたコントローラを含む。送信遅延プロフィールは、グループ内送信プロセッサの1つに接続される送信トランスデューサ素子に関連した信号遅延値を含む。

【0034】フェーズドアレイ音響装置は、グループ内送信プロセッサ各々に送信数を提供するように構成及び配列されたコントローラを含む。グループ内送信プロセッサは、送信数から、そのグループ内送信プロセッサの接続される送信トランスデューサ素子に関連する送信遅延値を計算するように構成及び配列された少なくとも1つの遅延プロセッサを含む。遅延プロセッサは加算器であっても良い。

【0035】フェーズドアレイ音響装置は、送信サブアレイ間の相対遅延を制御するためのグループ内送信プロ

セッサへと送信信号を提供するように構成及び配列された幾つかの送信処理チャンネルを含む送信ビームフォーマを含む。

【0036】グループ内送信プロセッサは、選択された遅延値を有するパルスを発生するように構成及び配列されたシフトレジスタを含む。グループ内送信プロセッサは、送信トランスデューサ素子を励起するために用いられる幾つかの遅延信号の1つを選択するように構成及び配列されたマルチプレクサを含む。グループ内送信プロセッサは、シフトレジスタによって発生されたパルス列の1つを選択し、送信トランスデューサ素子へと提供するように構成及び配列されたシフトレジスタ及びマルチプレクサの両方を含む。

【0037】グループ内送信プロセッサはプログラム可能な遅延線を含む。プログラム可能な遅延線はデュアルクロックフリップフロップを含む。

【0038】フェーズドアレイ音響装置は、被検体付近に配置可能であり、トランスデューサ素子を収容するように構成されるハンドルを含む。またハンドルは、集積した状態（すなわち1つ又は幾つかの集積回路と個別の素子を例えばプリント回路基板上に載せた状態）に構成されたグループ内送信プロセッサを収容するように構成される。

【0039】フェーズドアレイ音響装置は、被検体付近に配置可能であり、トランスデューサ素子を収容するように構成されるハンドルを含み、集積した状態（すなわち1つ又は幾つかの集積回路と個別の素子を例えばプリント回路基板上に載せた状態）に構成されたグループ内送信プロセッサを収容するように構成されたコネクタを含む。

【0040】他の態様においては、被検体部位を画像化するためのフェーズドアレイ音響装置は、送信ビームフォーマに接続される多数のトランスデューサ素子を含む送信アレイと、幾つかの受信サブアレイに割り付けられる多数のトランスデューサ素子を含む受信アレイを含む。送信ビームフォーマは、トランスデューサ素子に接続され、また被検体部位へと放射される送信音響ビームを発生するように構成及び配列される幾つかの送信ビームフォーマチャンネルを含む。装置は受信サブアレイに接続される幾つかのグループ内受信プロセッサを含む。

グループ内受信プロセッサの各々は、送信音響ビームからのエコーに呼応してトランスデューサ信号を、接続したサブアレイのトランスデューサ素子から受信するように配列されている。グループ内受信プロセッサの各々は、受信したトランスデューサ信号を遅延させるように配列された遅延素子を形成する幾つかの電荷結合素子と、遅延されたトランスデューサ信号を受信して加算するように構成された加算素子とを含む。また装置は、グループ内受信プロセッサに接続する幾つかの処理チャンネルを含む受信ビームフォーマを含み、処理チャンネル

の各々は、グループ内受信プロセッサから受信した信号を遅延させることによりエコーから受信ビームを合成するように構成及び配列されたビームフォーマ遅延機構と、処理チャンネルからの信号を受信して加算するように構成及び配列されたビームフォーマ加算機構（加算接続点）とを含む。画像生成器は、被検体部位の画像を受信ビームフォーマから受信した信号に基づき形成するように構成及び配列される。

【0041】この態様は以下の特徴の内の1つ以上を含む。

【0042】フェーズドアレイ音響装置は、受信遅延プロフィールをグループ内受信プロセッサに同時に提供するように構成及び配列されたコントローラを含む。受信遅延プロフィールは、グループ内受信プロセッサの1つに接続される受信トランスデューサ素子に関連した信号遅延値を含む。

【0043】グループ内受信プロセッサは、選択された周波数の選択されたクロック信号をその信号遅延値に基づいて電荷結合素子に提供するように構成されたマルチプレクサを含む。

【0044】フェーズドアレイ音響装置は、グループ内受信プロセッサの各々に受信数を提供するように構成及び配列されたコントローラを含む。グループ内受信プロセッサの各々は、受信数から、グループ内受信プロセッサに接続される受信トランスデューサ素子に関連する受信遅延値を計算するように構成及び配列された少なくとも1つの遅延プロセッサを含む。遅延プロセッサは加算器である。

【0045】フェーズドアレイ音響装置は、被検体部位付近に配置可能であってトランスデューサ素子を収容するように構成されたハンドルを含む。またハンドルは、集積した状態に構成されたグループ内送信プロセッサを収容するように構成されている。

【0046】フェーズドアレイ音響装置は、被検体部位付近に配置可能であってトランスデューサ素子を収容するように構成されるハンドルを含み、また集積した状態に構成されたグループ内送信プロセッサを収容するように構成されたコネクタを含む。

【0047】グループ内受信プロセッサは、電荷結合素子に接続し、被検体部位の幾つかの領域からの信号を並行して受信するように配列される幾つかの並列加算素子を含む。

【0048】他の態様においては、被検体部位を画像化するためのフェーズドアレイ音響装置は、送信ビームフォーマに接続される多数のトランスデューサ素子を含む送信アレイと、幾つかの受信サブアレイに割り付けられた多数のトランスデューサ素子を含む受信アレイとを含む。送信ビームフォーマは、トランスデューサ素子に接続される幾つかの送信ビームフォーマチャンネルを含み、被検体部位に放射される送信音響ビームを発生する

ように構成及び配列されている。装置は受信サブアレイに接続する幾つかのグループ内受信プロセッサを含む。グループ内受信プロセッサの各々は、接続するサブアレイのトランスデューサ素子から、送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列されている。グループ内受信プロセッサの各々は、受信したトランスデューサ信号を遅延させるように配列される遅延素子を形成する幾つかのサンプルアンドホールド回路と、遅延したトランスデューサ信号を受信して加算するように構成された加算素子とを含む。また装置は、グループ内受信プロセッサに接続する幾つかの処理チャンネルを含む受信ビームフォーマを含んでおり、処理チャンネルの各々はグループ内受信プロセッサから受信した信号を遅延させることによりエコーから受信ビームを合成するように構成及び配列されたビームフォーマ遅延機構と、処理チャンネルからの信号を受信して加算するように構成及び配列されたビームフォーマ加算機構（加算接続点）とを含む。画像生成器は、被検体部位の画像を受信ビームフォーマから受信した信号に基づいて形成するように構成及び配列されている。

【0049】この態様は以下の特徴の内の1つ以上を含む。

【0050】フェーズドアレイ音響装置は、グループ内受信プロセッサへと受信遅延プロフィールを同時に提供するように構成及び配列されたコントローラを含む。受信遅延プロフィールは、グループ内受信プロセッサの1つに接続する受信トランスデューサ素子に関連する信号遅延値を含む。

【0051】グループ内受信プロセッサは、選択された遅延値を得るために選択されたクロック信号をサンプルアンドホールド回路に提供するように構成されたマルチプレクサを含む。

【0052】フェーズドアレイ音響装置は、グループ内受信プロセッサの各々に受信数を提供するように構成及び配列されたコントローラを含む。グループ内受信プロセッサの各々は、受信数から、グループ内受信プロセッサに接続する受信トランスデューサ素子に関連した受信遅延値を計算するように構成及び配列された少なくとも1つの遅延プロセッサを含む。遅延プロセッサは加算器である。

【0053】グループ内受信プロセッサは、加算遅延線を形成するように配列されたサンプルアンドホールド回路及び幾つかの加算素子を含む。またグループ内受信プロセッサは、受信トランスデューサ素子から加算遅延線の選択されたタップへと信号を接続するように構成及び配列されたクロスポイントスイッチを含む。クロスポイントスイッチは、受信トランスデューサ素子の幾つかからの信号を加算遅延線の少なくとも1つのタップへと接続するように構成及び配列されている。グループ内受信プロセッサは、クロスポイントスイッチに接続する固定

利得増幅器のネットワークを含み、ネットワーク及びクロスポイントスイッチは、重みつき利得を信号に加え、重みつき利得信号を加算遅延線の少なくとも1つのタップに接続するように配列されている。

【0054】グループ内受信プロセッサは、入力タップを有するタップ付遅延線を形成するように配列されたサンプルアンドホールド回路を含む。タップ付遅延線は、入力タップに接続されサンプルアンドホールド回路の間に位置する加算素子を含む。グループ内受信プロセッサは、入力タップに接続され入力タップの1つを選択するように配列されたマルチプレクサを含む。代替的にグループ内受信プロセッサは、入力タップに接続する少なくとも2つのマルチプレクサを含むものでも良く、この場合このマルチプレクサは重みつき利得信号を提供するように構成及び配列されている。

【0055】グループ内受信プロセッサは、出力タップを有するタップ付遅延線を形成するように配列されたサンプルアンドホールド回路を含む。グループ内受信プロセッサは、出力タップに接続され、かつ出力タップの1つを選択して受信ビームフォーマの処理チャンネルに接続する出力を提供するように配列されたマルチプレクサを含んでも良い。代替的にグループ内受信プロセッサは、出力タップに接続する少なくとも2つのマルチプレクサを含むものでも良く、この場合このマルチプレクサは出力タップから重みつき利得信号を提供するように構成及び配列されている。

【0056】フェーズドアレイ音響装置は、被検体部位付近に配置可能であって、トランスデューサ素子を收容するように構成されるハンドルを含む。またハンドルは、集積した状態に構成されるグループ内送信プロセッサを收容するようにも構成される。

【0057】フェーズドアレイ音響装置は、被検体部位付近に配置可能であって、トランスデューサ素子を收容するように構成されるハンドルを含み、また集積した状態に構成されるグループ内送信プロセッサを收容するように構成されたコネクタを含む。

【0058】グループ内受信プロセッサは、サンプルアンドホールド回路に接続され、被検体部位の幾つかの領域からの信号を並行して受信するように配列される幾つかの並列加算素子を含む。

【0059】他の態様においては、被検体部位を画像化するためのフェーズドアレイ音響装置は、送信ビームフォーマに接続する多数のトランスデューサ素子を含む送信アレイと、幾つかの受信サブアレイに割り付けられた多数のトランスデューサ素子を含む受信アレイとを含む。送信ビームフォーマは、トランスデューサ素子に接続され被検体部位へと放射される送信音響ビームを発生するように構成及び配列されている幾つかのビームフォーマチャンネルを含む。装置は、受信サブアレイに接続する幾つかのグループ内受信プロセッサを含む。グルー

プ内受信プロセッサの各々は、接続するサブアレイのトランスデューサ素子から、送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列されている。グループ内受信プロセッサの各々は、受信したトランスデューサ信号を遅延させるように配列された遅延素子を形成する幾つかのアナログRAM素子と、遅延したトランスデューサ信号を受信して加算するように構成された加算素子を含む。また装置は、グループ内受信プロセッサに接続した幾つかの処理チャンネルを含む受信ビームフォーマを含み、処理チャンネルの各々は、グループ内受信プロセッサから受信した信号を遅延させることによってエコーから受信ビームを合成するように構成及び配列されたビームフォーマ遅延機構と、処理チャンネルから信号を受信して加算するように構成及び配列されたビームフォーマ加算機構（加算接続点）とを含む。画像生成器は、被検体部位の画像を受信ビームフォーマから受信した信号に基づいて形成するように構成及び配列されている。

【0060】この態様は以下の特徴の内の1つ以上を含む。

【0061】フェーズドアレイ音響装置は、受信遅延プロフィールをグループ内受信プロセッサへと同時に提供するように構成及び配列されたコントローラを含む。受信遅延プロフィールは、グループ内受信プロセッサの1つに接続する受信トランスデューサ素子に関連する信号遅延値を含む。

【0062】グループ内受信プロセッサは、トランスデューサ信号の選択された遅延を得るために選択されたクロック信号をアナログRAM素子に提供するように構成されたマルチプレクサを含む。

【0063】フェーズドアレイ音響装置は、グループ内受信プロセッサの各々に受信数を提供するように構成及び配列されたコントローラを含む。グループ内受信プロセッサの各々は、受信数からグループ内受信プロセッサに接続される受信トランスデューサ素子に関連する受信遅延値を計算するように構成及び配列された少なくとも1つの遅延プロセッサを含む。遅延プロセッサは加算器である。

【0064】グループ内受信プロセッサは、加算遅延線を形成するように配列されたアナログRAM素子及び幾つかの加算素子を含む。またグループ内受信プロセッサは、受信トランスデューサ素子からの信号を加算遅延線の選択されたタップへと接続するように構成及び配列されたクロスポイントスイッチを含む。クロスポイントスイッチは、受信トランスデューサ素子の幾つかからの信号を加算遅延線の少なくとも1つのタップに接続するように構成及び配列されている。グループ内受信プロセッサは、クロスポイントスイッチに接続する固定利得増幅器のネットワークを含み、ネットワーク及びクロスポイントスイッチは、重みつき利得を信号に加え、重みつき

利得信号を加算遅延線の少なくとも1つのタップに接続するように配列されている。

【0065】グループ内受信プロセッサは、入力タップを有するタップ付遅延線を形成するように配列されたアナログRAM素子を含む。タップ付遅延線は、アナログRAM素子の間に位置する入力タップに接続する幾つかの加算素子を含む。グループ内受信プロセッサは、入力タップに接続され入力タップの1つを選択するように配列されたマルチプレクサを含んでも良い。代替的にグループ内受信プロセッサは、入力タップに接続する少なくとも2つのマルチプレクサを含んでも良く、この場合マルチプレクサは重みつき利得信号をタップから提供するように構成及び配列されている。

【0066】グループ内受信プロセッサは、出力タップを有するタップ付遅延線を形成するように配列されたアナログRAM素子を含む。タップ付遅延線は、アナログRAM素子の間に位置する幾つかの出力タップを含む。グループ内受信プロセッサは、出力タップに接続され、出力タップの1つを選択しかつ受信ビームフォーマの処理チャンネルに接続する出力を提供するように配列されたマルチプレクサを含んでも良い。代替的にグループ内受信プロセッサは、出力タップに接続する少なくとも2つのマルチプレクサを含むものでも良く、この場合マルチプレクサは出力タップから重みつき利得信号を提供するように構成及び配列されている。

【0067】フェーズドアレイ音響装置は、被検体部位付近に配置可能であって、トランスデューサ素子を収容するように構成されたハンドルを含む。またハンドルは、集積した状態に構成されるグループ内送信プロセッサを収容するように構成されている。

【0068】フェーズドアレイ音響装置は、被検体部位付近に配置可能であって、トランスデューサ素子を収容するように構成されるハンドルを含み、そして集積した状態に構成されるグループ内送信プロセッサを収容するように構成されたコネクタを含む。

【0069】グループ内受信プロセッサは、アナログRAM素子に接続され被検体部位の幾つかの領域からの信号を並行して受信するように配列される幾つかの並列加算素子を含む。

【0070】他の態様においては、被検体部位を画像化するためのフェーズドアレイ音響装置は、送信ビームフォーマに接続する多数のトランスデューサ素子を含む送信アレイと、幾つかの受信サブアレイに割り付けられた多数のトランスデューサ素子を含む受信アレイとを含んでいる。送信ビームフォーマは、トランスデューサ素子に接続されて被検体部位へと放射される送信音響ビームを発生するように構成及び配列されている幾つかのビームフォーマチャンネルを含む。装置は、受信サブアレイに接続する幾つかのグループ内受信プロセッサを含む。グループ内受信プロセッサの各々は、接続するサブア

レイのトランスデューサ素子から、トランスデューサ信号を送信音響ビームからのエコーに呼応して受信するように配列されている。グループ内受信プロセッサの各々は、受信したトランスデューサ信号を遅延させるように配列された遅延素子を形成する幾つかの能動アナログフィルタ回路と、遅延したトランスデューサ信号を受信して加算するように構成された加算素子を含む。また装置は、グループ内受信プロセッサに接続された幾つかの処理チャンネルを含む受信ビームフォーマを含み、処理チャンネルの各々は、グループ内受信プロセッサから受信した信号を遅延させることによってエコーから受信ビームを合成するように構成及び配列されたビームフォーマ遅延機構と、処理チャンネルから信号を受信して加算するように構成及び配列されたビームフォーマ加算機構

(加算接続点)とを含む。画像生成器は、被検体部位の画像を受信ビームフォーマから受信した信号に基づいて形成するように構成及び配列されている。

【0071】他の態様においては、被検体部位を画像化するためのフェーズドアレイ音響装置は、送信ビームフォーマに接続する多数のトランスデューサ素子を含む送信アレイと、幾つかの受信サブアレイに割り付けられた多数のトランスデューサ素子を含む受信アレイとを含んでいる。送信ビームフォーマは、トランスデューサ素子に接続されて被検体部位へと放射される送信音響ビームを発生するように構成及び配列されている幾つかのビームフォーマチャンネルを含む。装置は、受信サブアレイに接続する幾つかのグループ内受信プロセッサを含む。グループ内受信プロセッサの各々は、接続するサブアレイのトランスデューサ素子から、トランスデューサ信号を送信音響ビームからのエコーに呼応して受信するように配列されている。グループ内受信プロセッサの各々は、受信したトランスデューサ信号を遅延させるように配列された遅延素子を形成する幾つかのスイッチキャパシタフィルタ回路と、遅延したトランスデューサ信号を受信して加算するように構成された加算素子を含む。また装置は、グループ内受信プロセッサに接続された幾つかの処理チャンネルを含む受信ビームフォーマを含み、処理チャンネルの各々は、グループ内受信プロセッサから受信した信号を遅延させることによってエコーから受信ビームを合成するように構成及び配列されたビームフォーマ遅延機構と、処理チャンネルから信号を受信して加算するように構成及び配列されたビームフォーマ加算機構(加算接続点)とを含む。画像生成器は、被検体部位の画像を受信ビームフォーマから受信した信号に基づいて形成するように構成及び配列されている。

【0072】上記2つの態様は以下の特徴の1つ以上を含む。

【0073】フェーズドアレイ音響装置は、受信遅延プロフィールをグループ内受信プロセッサへと同時に提供するように構成及び配列されたコントローラを含む。受



信遅延プロフィールは、グループ内受信プロセッサの1つに接続する受信トランスデューサ素子に関連する信号遅延値を含む。

【0074】グループ内受信プロセッサは、トランスデューサ信号の選択された遅延を得るために選択されたスイッチ信号を能動アナログフィルタ回路に提供するように構成されたマルチプレクサを含む。

【0075】フェーズドアレイ音響装置は、グループ内受信プロセッサの各々に受信数を提供するように構成及び配列されたコントローラを含む。グループ内受信プロセッサの各々は、受信数から、グループ内受信プロセッサに接続された受信トランスデューサ素子に関連する受信遅延値を計算するように構成及び配列された少なくとも1つの遅延プロセッサを含む。遅延プロセッサは加算器である。

【0076】グループ内受信プロセッサは、加算遅延線を形成するように配列された能動アナログフィルタ回路又はスイッチキャパシタフィルタ回路、及び幾つかの加算素子を含む。またグループ内受信プロセッサは、受信トランスデューサ素子から加算遅延線の選択されたタップへと信号を接続するように構成及び配列されたクロスポイントスイッチを含む。クロスポイントスイッチは、受信トランスデューサ素子の幾つかからの信号を加算遅延線の少なくとも1つのタップに接続するように構成及び配列されている。グループ内受信プロセッサは、クロスポイントスイッチに接続する固定利得増幅器のネットワークを含み、ネットワーク及びクロスポイントスイッチは重みつき利得を信号に加え、重みつき利得信号を加算遅延線の少なくとも1つのタップに接続するように配列されている。

【0077】グループ内受信プロセッサは、入力タップを有するタップ付遅延線を形成するように配列された能動アナログフィルタ回路又はスイッチキャパシタフィルタ回路を含む。タップ付遅延線は、能動アナログフィルタ回路又はスイッチキャパシタフィルタ回路の間に位置する入力タップに接続する幾つかの加算素子を含む。グループ内受信プロセッサは、入力タップに接続されて入力タップの1つを選択するように配列されたマルチプレクサを含んでも良い。代替的にグループ内受信プロセッサは、入力タップに接続する少なくとも2つのマルチプレクサを含んでも良く、この場合マルチプレクサは重みつき利得信号を出力から提供するように構成及び配列されている。

【0078】グループ内受信プロセッサは、出力タップを有するタップ付遅延線を形成するように配列された能動アナログフィルタ回路又はスイッチキャパシタフィルタ回路を含む。グループ内受信プロセッサは、出力タップに接続されて、出力タップの1つを選択して受信ビームフォーマの処理チャンネルに接続される出力を提供するように配列されたマルチプレクサを含んでも良い。代

替的にグループ内受信プロセッサは、出力タップに接続する少なくとも2つのマルチプレクサを含んでも良く、この場合マルチプレクサは出力タップから重みつき利得信号を提供するように構成及び配列されている。

【0079】フェーズドアレイ音響装置は、被検体部位付近に配置可能であって、トランスデューサ素子を収容するように構成されるハンドルを含む。またハンドルは、集積した状態に構成されたグループ内送信プロセッサを収容するように構成されている。

10 【0080】フェーズドアレイ音響装置は、被検体部位付近に配置可能であって、トランスデューサ素子を収容するように構成されるハンドルを含み、集積した状態に構成されるグループ内送信プロセッサを収容するように構成されたコネクタを含む。

【0081】グループ内受信プロセッサは、能動アナログフィルタ回路又はスイッチキャパシタフィルタ回路に接続され、被検体部位の幾つかの領域からの信号を並行して受信するように配列された幾つかの並列加算素子を含む。

20 【0082】他の態様においては、被検体部位を画像化するための方法は、幾つかのグループ内送信プロセッサに接続される幾つかの送信サブアレイに割り付けられた多数のトランスデューサ素子を含む送信アレイを与えるステップと、グループ内送信プロセッサにより、選択された方向への送信音響ビームを発生させるステップと、そして送信音響ビームを送信アレイから被検体部位へと放射するステップとを含む。またこの画像化方法は、遅延及び加算素子を含む幾つかのグループ内受信プロセッサに接続される幾つかの受信サブアレイに割り付けられた多数のトランスデューサ素子を含む受信アレイを与えるステップと、幾つかのグループ内受信プロセッサ及びビームフォーマ加算機構に接続する、幾つかの処理チャンネルを含む受信ビームフォーマを与えるステップと、トランスデューサ素子により送信音響ビームからエコーを検知し、受信したトランスデューサ信号をグループ内受信プロセッサに供給するステップと、1つの受信サブアレイから1つのグループ内受信プロセッサに与えられるトランスデューサ信号を遅延及び加算し、この遅延及び加算された信号をグループ内受信プロセッサからビームフォーマチャンネルの1つに供給するステップと、ビームフォーマチャンネル内でグループ内受信プロセッサからの信号に基づき受信ビームを合成するステップと、そして受信ビームフォーマから受信した信号に基づきその部位の画像を形成するステップとを含む。

30 40 50 【0083】他の態様においては、被検体部位を画像化するための方法は、幾つかのグループ内送信プロセッサに接続される幾つかの送信サブアレイに割り付けられた多数のトランスデューサ素子を含む送信アレイを与えるステップと、グループ内送信プロセッサにより、選択された方向への送信音響ビームを発生させるステップ

と、そして送信音響ビームを送信アレイから被検体部位へと放射するステップとを含む。また画像化法は、受信ビームフォーマに接続する多数のトランスデューサ素子を含む受信アレイを与えるステップと、トランスデューサ素子により送信音響ビームからエコーを検知し、受信したトランスデューサ信号をビームフォーマチャンネルに供給するステップと、選択された遅延をトランスデューサ信号に加え、その遅延した信号を加算することにより受信ビームをビームフォーマチャンネル内で合成するステップと、そして受信ビームフォーマから受信した信号に基づきその部位の画像を形成するステップとを含む。

【0084】他の態様においては、被検体部位を画像化するための方法は、送信ビームフォーマに接続する多数のトランスデューサ素子を含む送信アレイを与えるステップと、送信音響ビームを発生させるステップと、そして音響ビームを被検体部位へと放射するステップとを含む。また画像化法は、遅延及び加算素子を含む幾つかのグループ内受信プロセッサに接続される幾つかの受信サブアレイに割り付けられた多数のトランスデューサ素子を含む受信アレイを与えるステップと、幾つかのグループ内受信プロセッサ及びビームフォーマ加算機構に接続する、幾つかの処理チャンネルを含む受信ビームフォーマを与えるステップと、トランスデューサ素子により送信音響ビームからエコーを検知し、受信したトランスデューサ信号をグループ内受信プロセッサに供給するステップと、1つの受信サブアレイから1つのグループ内受信プロセッサに供給されるトランスデューサ信号を遅延及び加算し、この遅延及び加算された信号をグループ内受信プロセッサからビームフォーマチャンネルの1つに供給するステップと、ビームフォーマチャンネル内でグループ内受信プロセッサからの信号に基づき受信ビームを合成するステップと、そして受信ビームフォーマから受信した信号に基づきその部位の画像を形成するステップとを含む。

#### 【0085】

【発明の実施の形態】図1を参照すると、フェーズドアレイ超音波撮像システム(10)は、トランスデューサハンドル(14)内に位置するトランスデューサ素子(12)のアレイを含んでいる。トランスデューサハンドル(14)は、トランスデューサケーブル(16)とトランスデューサコネクタ(18)を介してエレクトロニクスボックス(20)に接続されている。エレクトロニクスボックス(20)は、キーボード(22)とインターフェースで連結され、画像信号をディスプレイ(24)へと供給する。トランスデューサアレイ(12)は、二次元アレイ、大型の一次元アレイ又は1.5次元アレイとして配列した数百もしくは数千ものトランスデューサ素子を含む。トランスデューサアレイ(12)は、選択された領域(例えば円形、環状パターン)に分布する別個の送信及び受信アレイ

に配列されたトランスデューサ素子を有していても良い。代替的にトランスデューサ素子が、セミランダム(semi-random)パターンに分布していても良い。トランスデューサハンドル(14)は、送信パルス発生器と、関連の高電圧ドライバ、低ノイズ受信前置増幅器そして遅延及び加算回路を含む。重要なのは、一実施例において、素子が小さな体積内に集積されてトランスデューサハンドル(14)内に配置されていることである。トランスデューサケーブル(16)は、信号線、電力線、クロック線及びデジタル制御線とアナログ基準電流線を含むシリアルデジタルデータ線を含む。

#### 【0086】代替的にトランスデューサアレイ(12)

は、同じトランスデューサ素子を使用して送信ビームを放射した受信ビームを検知する。この方式の場合、撮像システム(10)には、送信ビームフォーマと受信ビームフォーマを動作モードにより切り替えるための送信/受信スイッチ(図1には図示されていないT/Rスイッチ)が含まれる。T/Rスイッチは、N個のトランスデューサ素子に接続するN個の独立したスイッチを含む。超音波エネルギーの送信中、スイッチは素子を送信ビームフォーマに接続し、受信ビームフォーマを保護する。送信ビームを放射した後、T/Rスイッチはトランスデューサ素子を受信ビームフォーマに接続する。

【0087】図2を参照すると、他の実施例においては、超音波撮像システム(10)は、被検体の人体器官の三次元画像データを得るための、例えば3000個のトランスデューサ素子を有する二次元トランスデューサアレイ(30)を利用している。トランスデューサアレイ(30)は、3000個のトランスデューサ素子を、各々のグループが $5 \times 5 = 25$ 個の素子を含む120個のサブアレイにまとめられている。撮像システム(10)は、トランスデューサ素子の約半数を超音波エネルギーの送信に使用し、残りの半分を超音波エネルギーの受信に使用する。送信及び受信素子は、アレイ(30)中にランダムに分布している。送信及び受信素子を分けることにより、装置にはT/Rスイッチが不要となり、これによって装置の複雑性が低減される。

【0088】さらに撮像システム(10)では、トランスデューサケーブル(16)(図1)内に、大きくかさばって柔軟性に乏しく実用的ではない3000本の導体を使用する必要がなくなる。トランスデューサハンドル(14)は、3000本の結線(32)により30個の集積回路(34<sub>1</sub>、34<sub>2</sub>、...34<sub>30</sub>)へと接続する120個のサブアレイを含む。トランスデューサケーブル(16)は、集積回路からの出力を供給する120本の出力線(全て36Aと表示)及び24本の制御及び電力線(全て36Bと表示)とを含む。集積回路(34)の各々は、200ナノ秒幅の送信パルスが発生する一組のデジタルパルス発生器と、そしてトランスデューサ素子が超音波を放射するように励起するために使用される170Vに送信パルスを増幅する高電圧ドライバ回

路とを含むものでも良い。また集積回路の各々は、低ノイズ受信前置増幅器と、グループ内受信ビーム形成を実施するためのアナログ遅延回路と、デジタル制御回路とを含むものでも良い。低ノイズ受信前置増幅器は、トランスデューサ信号を前置増幅し、グループ内受信ビーム形成を選択された遅延値を信号に与えることにより実行する遅延回路へ前置増幅された信号を提供する。グループ内送信及び受信素子による総電力損は2ワット以下である。

【0089】図3は、M個のグループ内送信プロセッサに接続するM個の送信サブアレイ(30A)と、N個のグループ内受信プロセッサに接続するN個の受信サブアレイ(30B)に分割されたトランスデューサアレイ(30)

(図2)を有する撮像システム(10)のブロック図である。より詳細には、送信サブアレイ(31<sub>1</sub>、31<sub>2</sub>、...31<sub>M</sub>)はグループ内送信プロセッサ(38<sub>1</sub>、38<sub>2</sub>、...38<sub>M</sub>)にそれぞれ接続し、さらにプロセッサは送信ビームフォーマ(40)のチャンネル(41<sub>1</sub>、41<sub>2</sub>、...41<sub>M</sub>)に接続している。受信サブアレイ(42<sub>1</sub>、42<sub>2</sub>、...42<sub>N</sub>)はグループ内受信プロセッサ(44<sub>1</sub>、44<sub>2</sub>、...44<sub>N</sub>)にそれぞれ接続し、さらにプロセッサは受信ビームフォーマ(46)の処理チャンネル(48<sub>1</sub>、48<sub>2</sub>、...48<sub>N</sub>)に接続している。図4及び図5に関連して述べられるように、グループ内送信プロセッサの各々(38<sub>i</sub>)は、送信パルスを提供する1個以上のデジタルパルス発生器と、接続するトランスデューサ素子を励起するように送信パルスを増幅する1個以上の電圧ドライバとを含む。代替的にグループ内送信プロセッサの各々(38<sub>i</sub>)は、従来型送信ビームフォーマから信号を受信するプログラム可能な遅延線を含んでも良い。例えば、超音波システムHP Sonos 5500からの送信出力が、トランスデューサ素子ではなくグループ内送信プロセッサに接続される。

【0090】図11及び図12に関連して述べるように、グループ内受信プロセッサ(44<sub>i</sub>)の各々は、加算遅延線又は加算素子(加算接続点)に接続する幾つかのプログラム可能な遅延素子を含む場合がある。グループ内受信プロセッサ(44<sub>i</sub>)は、個々のトランスデューサ信号を遅延させ、遅延した信号を加算し、そして加算された信号を受信ビームフォーマ(46)のチャンネルの1つ(48<sub>i</sub>)に提供する。代替的に1つのグループ内受信プロセッサが、加算された信号を並列受信ビームフォーマの幾つかの処理チャンネル(48<sub>i</sub>)に提供する。並列受信ビームフォーマは、幾つかの受信ビームを同時に合成するように構成されている。またグループ内受信プロセッサの各々(44<sub>i</sub>)は、幾つかの領域から同時に信号を受信するように幾つかの加算遅延線(又は各々のグループが1つの加算接続点に接続するプログラム可能な遅延素子のグループ)を含んでも良い。

【0091】システムコントローラ(52)は、マイクロプロセッサ及び関連のメモリを含み、撮像システム(1

0)の動作を制御するように設計されている。システムコントローラ(52)は、遅延コマンドをバス(53)を介して送信ビームフォーマチャンネルに提供し、またバス(54)を介してグループ内送信プロセッサに遅延コマンドを提供する。遅延データは、生成された送信ビームを楔形送信パターン、平行四辺形送信パターン又は三次元送信パターンを含むその他のパターンの送信走査線に向けて集束させる。

【0092】またシステムコントローラ(52)は、遅延コマンドをバス(55)を介して受信ビームフォーマのチャンネルに提供し、またバス(56)を介してグループ内受信プロセッサに遅延コマンドを提供する。加えられた相対遅延は合成された受信ビームの向き及びフォーカスを制御する。受信ビームフォーマチャンネルの各々(48<sub>i</sub>)は、受信した信号深度の関数として利得を制御する可変利得増幅器と、合成されたビームのビーム方向制御及び動的集束を達成するために音響データを遅延させる遅延素子とを含む。加算素子(50)は、ビームフォーマチャンネル(48<sub>1</sub>、48<sub>2</sub>、...48<sub>N</sub>)からの出力を受信し、その出力を加算してその結果であるビームフォーマ信号を画像生成器(58)へ提供する。ビームフォーマ信号は、受信走査線に沿って合成された受信超音波ビームを表わす。画像生成器(58)は、合成された多数の往復ビームにより精査された部位の画像をセクタ形パターン、平行四辺形パターン又は三次元パターンを含むその他のパターンに構成する。

【0093】送信及び受信ビームフォーマの両方は、例えば米国特許4,140,022号、5,469,851号又は5,345,426号(これらは全て参考資料として添付)に記述されるアナログ又はデジタルのビームフォーマであって良い。

【0094】システムコントローラは、送信ビームフォーマチャンネル(41<sub>i</sub>)中の「粗い」遅延値及びグループ内送信プロセッサ(38<sub>i</sub>)の「細かな」遅延値を使用することによりトランスデューサ素子のタイミングを制御する。トランスデューサ素子への送信パルスの発生方法は幾つかある。図4に示すように、パルス発生器(60)は、幾つかの遅延値を送信回路(70)に供給するシフトレジスタ(66)にパルス遅延信号を提供する。送信回路(70)は、送信トランスデューサ素子を駆動するための高電圧パルスを提供する。代替的に図5に示されるように、パルス発生器(60)は、送信回路に接続する遅延線(80)にパルス遅延信号を提供しても良い。遅延線は、送信トランスデューサ素子を駆動するための高電圧パルスを供給する送信回路に遅延値を提供する。

【0095】図6を参照すると、デジタルパルス発生器(60)は同期カウンタ(62、64)を含む。同期カウンタ(62)はパルス遅延「M」を提供し、同期カウンタ(64)は「N」個の送信パルス及びそれらの幅についてクロックサイクルをカウントする。7ビットシフトレジスタ(66)は、各々が8個の異なる遅延値を有する8つ

の異なるバージョンのパルス列を発生するのに必要な7個の遅延値を持つ7つの基準パルスを提供する。図7は、送信ビームの指向角度 (steering angle) によって1つのサブアレイから他のサブアレイへと変える、送信トリガに対してのパルス遅延 (M) を示すタイミング図である。送信パルスの数 (N) は送信モードによる。Bモード撮像においては、単一のパルスが個々の送信事象について送信される、一方ドップラー撮像においては、通常は幾つかのパルスが個々の送信事象について送信される。

【0096】シフトレジスタ (66) は、基準パルスを図8に示す送信回路に (70) 提供する。送信回路 (70) は、マルチプレクサ (72) と、レベルシフタ (74) を有する高電圧ドライバと、さらに送信ドライバトランジスタ (76, 78) とを含む。マルチプレクサ (72) は、8つの基準送信パルスをシフトレジスタ (66) から受信する。提供された遅延値に基づき、マルチプレクサ (72) は基準パルスの1つを選択し、選択された基準パルスをレベルシフタ (74) へと供給する。さらにレベルシフタ (74) は、トランスデューサアレイ (30A) (図2) の送信素子を駆動するための送信ドライバトランジスタ (76, 78) にその信号を供給する。マルチプレクサ (72) は、従来型のシステムで使用される、同期カウンタを有する7個のデジタルパルス発生器を置き換えるものである。マルチプレクサは同期カウンタよりも小さい電力を消費し、占める空間も小さいため、送信回路 (70) を使用するグループ内送信プロセッサは消費電力もより小さく、占める空間もより小さい。したがってグループ内送信プロセッサもしくは送信ビームフォーマ全体さえも、トランスデューサハンドル (14) もしくはコネクタ (18) 内に集積化することが可能であり、いずれの場合にも電子素子用の空間が限られ、電力の消費が限られている。

【0097】代替的にパルス発生器 (60) は、図9に示すプログラム可能な遅延線 (80) に接続される。プログラム可能な遅延線 (80) は、グループ内送信プロセッサ各々について組み込まれている。一般にプログラム可能な遅延線は、同期カウンタよりも占める空間は小さいが、消費電力は大きい。電力を節約するために、プログラム可能な遅延線 (80) には、図10に示すデュアルクロックフリップフロップ回路 (90) が含まれる。デュアルクロックフリップフロップ回路 (90) は、2つの相補形クロックを使用する。出力状態に変化が無い場合、クロックがアクティブであってもVddから電流が引き出されることはない。Dフリップフロップをクロックすることに関連する全ての電力損は、加熱を防止するためにトランスデューサハンドル (14) の外部に配することができるクロックドライバ回路内で発生する。デュアルクロックフリップフロップ (90) の使用は他に電力損を減らすために同期カウンタ内で利用される。

【0098】図11及び図12は、グループ内受信プロセッサ (44<sub>1</sub>, 44<sub>2</sub>, ... 44<sub>n</sub>) (図3) の異なる実施例を示す。図11を参照すると、加算遅延線 (100) は、トランスデューサアレイ (30B) のサブアレイの1つ (42<sub>i</sub>) を形成する受信トランスデューサ (28<sub>1</sub>, 28<sub>2</sub>, ... 28<sub>n</sub>) から信号を受信する。加算遅延線 (100) は、遅延素子 (108<sub>1</sub>, 108<sub>2</sub>, ... 108<sub>x+1</sub>) 及び加算素子 (加算接続点) (110<sub>1</sub>, 110<sub>2</sub>, ... 110<sub>x</sub>) に接続する可変クロスポイントスイッチ (104) を含む。受信トランスデューサの各々 (28<sub>i</sub>) は、前置増幅器/調節器 (102<sub>i</sub>) に信号を提供し、前置増幅された信号はその後可変クロスポイントスイッチ (104) により1つの選択されたタップ (106<sub>i</sub>) 又は幾つかの選択されたタップ (106<sub>i</sub>) に同時に向けられる。したがって加算遅延線 (100) は、タップ (106<sub>i</sub>) 間のトランスデューサ信号の補間を可能にして前置増幅されたトランスデューサ信号に加えられる遅延の微調整を実現する。すなわちトランスデューサ信号は、2つの異なる利得によって重みづけし、2つのタップ (106<sub>i</sub>) へと送ることが可能であり、これは単一の遅延素子により提供される遅延よりも小さい遅延を実現する。この種の補間は、線形重みづけ (すなわち重みづけ信号の大きさは合計1となる) もしくは単一の遅延値を使用した場合に得られるものと同じ信号の大きさを与える非線形重みづけを利用することができる。

【0099】また加算遅延線 (100) は、所望の遅延値からの波長の整数である遅延値をプログラムすることによってアナログ遅延素子 (108<sub>1</sub>, 108<sub>2</sub>, ... 108<sub>x+1</sub>) により与えられる遅延値よりも大きい遅延値を提供することも可能である。代替的に遅延素子 (108<sub>1</sub>, 108<sub>2</sub>, ... 108<sub>x+1</sub>) によって与えられる遅延よりも大きい遅延 (もしくは小さい遅延) を得るために、アナログ移相器を含ませて、信号に移相を加えて遅延に必要とされる相違が与えられる。遅延素子 (108<sub>i</sub>) は、以下に全て説明されるサンプルアンドホールド素子、能動フィルタ素子、もしくはスイッチキャパシタフィルタであって良い。前置増幅器及び調節器 (102) は、T/Rスイッチ、前置増幅器もしくは可変利得増幅器を含むこともある。最後の遅延素子からの出力 (112) は、受信ビームフォーマ (46) の1つの処理チャンネル (48<sub>i</sub>) に結合される。

【0100】図12を参照して、他の実施例においては、グループ内アナログ受信プロセッサ (115) には、加算素子 (120) に接続する一組のプログラム可能な遅延線 (118<sub>1</sub>, 118<sub>2</sub>, ... 118<sub>n</sub>) が含まれる。出力 (122) から、加算素子 (120) が遅延及び加算された信号を受信ビームフォーマ (46) の1つの処理チャンネル (48<sub>i</sub>) へと提供する。プログラム可能な遅延線の各々 (118<sub>i</sub>) は、アナログ遅延線としてもしくはデジタル遅延線として実現される。アナログ遅延線 (118<sub>i</sub>) の各々は、図13～図25に関連して説明されるように、電荷結合素子、アナログRAM、サンプルアンドホールド回路、能動フィ

ルタ、L-Cフィルタ、又はスイッチキャパシタフィルタを含むことができる。

【0101】図13及び図14を参照すると、プログラム可能な遅延線(図12に示される)は、それぞれ出力タップを有する遅延線(125)、もしくは入力タップを有する遅延線(145)を含む。遅延線(125)は、8個のスイッチ(128A、128B、131A、131B、134A、134B、137A、137B)により2つの固定利得減衰器(138、140)に接続する3個の固定遅延素子(130、133、136)を含む。固定利得減衰器(138、140)は、加算接続点(142)に接続される。遅延素子(130、133、136)は、それぞれスイッチ(129、132、135)により電源(Vdd)に接続される。スイッチ(129、132、135)は、節電のために使用されていない遅延素子からVdd電源を切るために利用される。固定利得減衰器(138、140)は、出力スイッチ(128A、128B、131A、131B、134A、134B、137A、137B)と共に遅延値の補間を可能にし、単一の遅延素子(130、133又は136)により提供される遅延よりも細かい遅延制御を得ることができる。遅延素子の各々は、ここでもフィルタ素子又はサンプルアンドホールド遅延素子とすることができる。例えば遅延線(125)が、0.7の利得を与える固定利得減衰器(138)と0.3の利得を与える固定利得減衰器(140)を含んでいるとする。各遅延素子(130、133又は136)は90度の移相を与える。スイッチ(128A、128B、131A、131B、134A、134B、137A、137B)のON/OFFの組み合わせが所望の遅延を備える信号を与える。

【0102】遅延線(145)は、8個の入力スイッチ(148A、148B、151A、151B、154A、154B、157A、157B)により2個の固定利得減衰器(158、160)に接続する3個の固定遅延素子(150、153、156)を含む。遅延素子(150、153、156)は、それぞれスイッチ(149、152、155)により電源(Vdd)に接続される。スイッチ(149、152、155)は、節電のために使用されていない遅延素子からVdd電源を切るために利用される。固定利得減衰器(158、160)は、入力スイッチ(148A、148B、151A、151B、154A、154B、157A、157B)と共に遅延値の補間を可能にし、単一の遅延素子(150、153又は156)により提供される遅延よりも細かい遅延制御を得ることができる。各遅延素子は、ここでもフィルタ素子又はサンプル

【0103】図15及び図16は、図2のグループ内受信プロセッサに使用される、出力タップ及び入力タップをそれぞれ有するサンプラーチェーン(sampler chain)の概略図である。図15に示されるサンプラー線(170)は、デジタルクロックによって制御される一連の出力(172a、172b、...172s)及び一連のサンプルアンドホールド素子(174a、174b、...174s)を含む。2個のサンプラーの間には図20に示される単位利得バッファ(186)がある。サンプルクロック周波数は、ナイキスト基

準(Nyquist criteria)を満たすために最高信号周波数成分の少なくとも2倍である。帯域幅を100%サポートするために、クロック周波数は超音波RF中心周波数の4倍である。これによりRF周期量子化の8分の1毎の出力遅延値の制御が可能となる。例えば2.5 MHzの超音波信号では、サンプラー線(170)は10MHzのクロック周波数を使用して、200ナノ秒の遅延を得るために50ナノ秒のタップで4段を有している。

【0104】図16に示すサンプラー線(175)は、デジタルクロックによって制御される一連の入力(176a、176b、...176s)及び一連のサンプラー(174a、174b、...174s)を含む。単位利得バッファ(186)は、2個のサンプルアンドホールド素子の間に配置される。入力(176a、176b、...176s)により提供される信号は、加算素子(178a、178b、178s)によってサンプラー線へと加算される。ここでもサンプルクロック周波数は、ナイキスト基準を満たすために最高信号周波数成分の少なくとも2倍である。サンプラー線(170又は175)は、図12の遅延線(118i)として利用される。代替的にサンプルアンドホールド素子(174i)は、加算素子(178i)と共に図11に示される加算遅延線(100)として使用される。

【0105】図17、図18、図19を参照して、他の実施例において、遅延素子(例えば図11、図12、図13又は図14に示される)は、サレンアンドキー(Sallen and Key)方式の2極能動フィルタ(180、182、188)である。2極能動フィルタ(180)は、加算遅延線(100)もしくは遅延線(125又は145)に使用することができる。能動フィルタ(180)は、50ナノ秒の遅延を5 MHzの帯域幅で作る。

【0106】能動フィルタ(182、188)は、プログラム可能な遅延を提供し、グループ内受信プロセッサ(115)(図12)の遅延線(118i、118b、118s)を置き換えることができる。能動フィルタ(182)は、単位利得バッファ(186)にスイッチ(183a~183f)によって接続する一組の抵抗(184a~184f)を利用することによりプログラム可能な遅延を提供する。代替的に能動フィルタ(188)は、一組のスイッチ(192)によって単位利得バッファ(186)へ接続する一組のキャパシタ(190)を利用することによりプログラム可能な遅延値を提供する。選択したスイッチによってフィルタのインピーダンスが変わり、その結果位相応答(すなわち遅延)が変化する。遅延素子として利用可能なフィルタトポロジーは他にもある(例えばY.P.Tsvidis and J.O.Voorman "Integrated continuous-time filters" IEEE Press, 1993を参照)。

【0107】図21及び図22を参照して、他の実施例において、遅延素子はスイッチキャパシタフィルタ(200)である。スイッチキャパシタフィルタ(200)は、積分器として配列された演算増幅器(A)、キャパシタ(C1、C2、C3)、スイッチ(S1、S2)を含む。単極双

投スイッチ (S<sub>1</sub>、S<sub>2</sub>) は、超音波中心周波数の2倍以上の周波数、例えば10 MHzで動作可能である。図22に示されるように、スイッチ (S<sub>1</sub>、S<sub>2</sub>) はMOSFET (S<sub>A</sub>、S<sub>B</sub>、S<sub>C</sub>、S<sub>D</sub>) として実現される。スイッチ信号 (CLK、CLKN) は、選択した周波数の非並行2相クロックから供給される。遅延値は、異なるキャパシタ値もしくは異なるクロック周波数のいずれかを利用することにより変えることができる。これらの遅延素子は抵抗を用いないので、消費電力が比較的低い。利用可能なフィルタポロジは他にもいくつかある (例えばM. E. Van Valkenburg "Analog Filter Design" CBS College Publishing 1982を参照)。

【0108】図23を参照して、他の実施例において、アナログランダムアクセスメモリ (RAM) 素子 (210) が、プログラム可能な遅延素子として利用される。RAM素子 (210) は、入力スイッチ (215<sub>1</sub>、215<sub>2</sub>、...、215<sub>M</sub>) 及び出力スイッチ (217<sub>1</sub>、217<sub>2</sub>、...、217<sub>M</sub>) にそれぞれ接続するデコーダ (216、218) を使用してM個の入力サンプル信号を記憶するための一群のM個の記憶キャパシタ (214<sub>1</sub>、214<sub>2</sub>、...、214<sub>M</sub>) を含む。入力バッファ (212) は、デコーダ (216) によって制御される入力スイッチ (215<sub>1</sub>) により記憶キャパシタ (214<sub>1</sub>) へと後に送られるトランスデューサ信号を受信する。出力スイッチ (217<sub>1</sub>) に結合するデコーダ (218) は、個々のキャパシタの電荷を、入力カウンタ (220) と出力カウンタ (222) 間のタイミングの差異により決定される遅延時間でサンプリングする。したがってトランスデューサ信号は、入力バッファ (212) から出力バッファ (224) に送信される間に選択された遅延時間だけ遅延される。アナログRAM素子は、ノイズと信号ひずみを低減するため、超音波トランスデューサ信号を遅延させるために単一のキャパシタのみを使用する。

【0109】他の現在の好ましい実施例においては、アナログRAMが出力遅延線 (170) と類似の遅延線に使用される。図24は、アナログRAM (210<sub>0</sub>、210<sub>1</sub>、210<sub>2</sub>、210<sub>3</sub>)、単位利得バッファ (186<sub>0</sub>、186<sub>1</sub>、186<sub>2</sub>、186<sub>3</sub>) 及び一組の出力タップ (227<sub>0</sub>、227<sub>1</sub>、227<sub>2</sub>、227<sub>3</sub>) を含むプログラム可能な遅延線 (225) の概略図である。好ましくはアナログRAMの各々は、2個の図23に示される記憶キャパシタ (214<sub>i</sub>) を含む。遅延線 (225) は、相補クロック信号 (CLK、CLKN) によって制御されており、この場合CLK周波数は超音波RF周波数の2倍である。出力タップ (227<sub>i</sub>) はRF周期の4分の1毎に置かれる。

【0110】図25を参照して、他の実施例において、プログラム可能な遅延素子は、直列に接続される電界効果トランジスタと一連のキャパシタとを含む電荷結合素子 (CCD) (230) として実現される。電荷結合素子は、遅延素子としてもしくは遅延線として使用される。CCD線 (230) は、10段CCD (234) にクロック信号を提供する

N:1のマルチプレクサ (232) を含む。CCD (234) は、トランスデューサ信号を入力 (236) において受信し、出力 (238) に到達するまでクロック周期毎に対応する電荷を1つのキャパシタから次のキャパシタへと送る。CCDを通過するのに要する総遅延は、段数とクロック周波数によって決まる。遅延時間は、表1に示すようにクロック周波数を変えることにより制御される。マルチプレクサ (232) は、一組の周波数を受容し、制御入力 (231) により受容された遅延値を基にして適切なクロック周波数 (233) をCCD (234) へ提供する。素子は、可能なクロック周波数の範囲にわたるクロックフィードスルー (clock feed-through) を除去する幾つかのフィルタを含む。

【0111】

【表1】

周波数	遅延
10.00 MHz	1000 nsec
10.56	950
11.11	900
11.76	850
12.25	800
13.33	750
14.29	700
15.35	650
16.67	600
18.18	550
20.00	500
22.22	450
25.00	400
28.57	350
33.33	300
40.00	250
50.00	200

【0112】図26は電荷結合素子を使用するタップ付遅延線の実用例の概略を示す。タップ付遅延線 (240) は、SiO<sub>2</sub>絶縁体上に堆積させた金属電極 (242<sub>1</sub>、242<sub>2</sub>、...、243<sub>1</sub>、243<sub>2</sub>、...、244<sub>1</sub>、244<sub>2</sub>、...) の狭いピッチの列と、P形基板中に位置する幾つかのN<sup>+</sup>領域 (246<sub>1</sub>、246<sub>2</sub>、...、248<sub>1</sub>、248<sub>2</sub>、...) とを含む。N<sup>+</sup>領域 (246<sub>1</sub>、246<sub>2</sub>、...) は、入力タップ (IN<sub>1</sub>、IN<sub>2</sub>、...) にスイッチ (247<sub>1</sub>、247<sub>2</sub>、...) により接続している。N<sup>+</sup>領域 (248<sub>1</sub>、248<sub>2</sub>、...) は、出力タップ (OUT<sub>1</sub>、OUT<sub>2</sub>、...) にスイッチ (249<sub>1</sub>、249<sub>2</sub>、...) により接続している。電極 (242<sub>1</sub>、242<sub>2</sub>、...、243<sub>1</sub>、243<sub>2</sub>、...、244<sub>1</sub>、244<sub>2</sub>、...) は、電極の下に蓄積した電荷を縦に伝送するように配列された3相クロック (CLK<sub>1</sub>、CLK<sub>2</sub>、CLK<sub>3</sub>) に接続される。遅延線 (240) は、超音波トランスデューサ信号を入力タップ (IN<sub>1</sub>、IN<sub>2</sub>、...) で受信し、遅延した信号を出力タップ (OUT<sub>1</sub>、OUT<sub>2</sub>、...) で提供する。遅延時間は、クロック周波数と入力及び出力タップの位置により決まる。標準CCDの説明については、"Charge Coupled Devices and Their Applications", Beynonら、McGraw Hill, 1980に記述されている。

【0113】図3を参照すると、撮像システムは、データバス(53~56)により概略が示されるように、遅延値をグループ内送信及び受信プロセッサと送信及び受信ビームフォーマに提供するためのデジタル制御回路を有するシステムコントローラ(52)を含む。ビームフォーマチャンネルは「粗い」遅延値を受信し、グループ内プロセッサは「細かい」遅延値を受信する。遅延データのロードにより生じるデジタルノイズが微弱な信号を卓越するので、グループ内受信プロセッサは、微弱なトランスデューサ信号を受信している間、遅延データをロードすることができない。したがって3000個のトランスデューサ素子各々への遅延データは、それぞれの音響線に送る以前にロードされなければならない。素子の各々は、約4ビットの遅延データを必要とし、これは送信事象毎に事前にロードされていなければならない12,000ビットの制御情報に対応する。高フレーム率で動作させるには、制御情報が約10マイクロ秒でロードされなければならない。これには12,000ビットを16シリアルラインに10マイクロ秒でロードするために約75MHzのクロックを必要とする。このような高速が可能である一方、作動モードによってこのロード速度を減じる方法が幾つかある。

【0114】一つの実施例においては、デジタル制御回路は全てのグループ内受信プロセッサに同じ遅延プロフィールを提供する。したがって全てのグループ内プロセッサに1つの遅延プロフィールを与えることにより、グループ内プロセッサは並行してその遅延データをロードすることが可能である。制御回路は、遅延データを1本のシリアルラインで全てのグループ内プロセッサにロードする。例えば25素子を備えるプロセッサは、10 MHzでクロックする1本のシリアルラインで、約10マイクロ秒でロードされる。全てのプロセッサに同じ指向角度を与えることにより、グループ内プロセッサは音響ビームの向きを調節する。しかしながら同一の遅延プロフィールをロードされたグループ内プロセッサは音響ビームを集束することができない。したがってこの実施例においては、集束させるための音響レンズを用いることが必要となる場合もある。

【0115】他の実施例においては、グループ内プロセッサは向き調節と集束の両方に使用される。制御回路は、指向角度遅延データをグループ内プロセッサの各々に提供する。個々のプロセッサは、受信ビームをわずかに異なる角度で向けて焦点を得る遅延データを受信する。ロード速度を減じるために、図27に示すように素子各々への遅延データは、個々のグループ内プロセッサ中で幾つかの加算器を使用することによって計算される。

【0116】図27に5×5セルのサブアレイに使用される制御回路(250)の概略図を示す。このサブアレイは、グループ内送信プロセッサに接続する12個の送信セルと、グループ内受信プロセッサに接続する13個の受信セルを含む。制御回路は、増分x値を保持するための

シフトレジスタ(252)、増分y値を保持するためのシフトレジスタ(254)及び初期値レジスタ(256)を含む。増分x値及びy値は、二次元画像平面中の指向角度に直接関わる。送信セルの各々(260i)(Xが付されている)は、送信トランスデューサと送信回路(例えば高電圧ドライバ)とを含む。受信セルの各々(264i)(Rが付されている)は、受信トランスデューサと受信前置増幅器とを含み、また使用されるグループ内プロセッサの種類によっては受信回路が含まれる場合もある。全ての送信及び受信セルに遅延データを提供する25個の加算素子(加算接続点)(268i)が設けられる。図27においては、便宜上全ての素子の内i番目の素子だけに符号が付けられている。加算素子は、節電と回路の省スペースのために、ルックahead(lookahead)桁上げ回路を含まない、非同期式のものが好ましい。

【0117】シリアルバスは、初期遅延値を初期値レジスタ(256)へ、そしてX及びY遅延増分をシフトレジスタ(252、254)へとそれぞれ提供する。加算素子(268)は、初期遅延値(もしくはその付近の遅延値)とX及びY遅延増分を加算することによって、トランスデューサ素子に対する適切な遅延値を提供する。グループ内の遅延はセル位置に関連してほぼ線形であり、したがって個々のセルに関連する加算素子はその遅延を隣の素子の遅延からの単純なオフセットにより計算することができる。送信セル(260)は、加算素子(268)によって計算された遅延値を接続(261)を介して受容する。受信セル(264)は、加算素子(268)により計算された遅延値を接続(265)を介して受容する。遅延データは向きの調節と集束のために利用される。

【0118】また図4を参照して、一つの実施例においては、送信セル(260)はまた、シフトレジスタ(66)を含む。送信セル(260i)は、基準パルスを接続(262i)を介して受信し、シフトレジスタは8つの遅延値の内の1つをレベルシフタへ提供する。他の実施例においては、シフトレジスタ(66)は、送信セル(260i)の外に配置され、セルに8つの接続線(262)(便宜上1本の接続線262iのみを図示する)を介して基準パルスを提供する。デジタルパルス発生器(60)は、シフトレジスタ(66)と共にNサイクル長の8つの基準送信パルスと、送信トリガパルスからM送信クロックサイクルだけ遅延された8つの異なる追加遅延とを発生する。次に図5を参照して、他の実施例においては、送信セル(262i)は遅延線(80)を含む。送信セル(262i)は、デジタルパルス発生器(60)から接続(262i)を介して基準パルスを受信し、そして遅延線(80)は信号をレベルシフタ(74)へと提供する。

【0119】超音波エコーを検出した後、受信セル(264)は前置増幅された音響データをグループ内受信プロセッサへと提供する。更に図11を参照して、一つの実施例において、グループ内プロセッサが加算遅延線(10

0) を用いる場合、受信セルの各々 (264i) は、前置増幅された音響データを単一の接続 (266i) を介して、受信セルの外に位置する1つの可変利得クロスポイントスイッチ (104) に提供する。すなわち、13個全ての受信セル (264) からの音響データを受信する可変利得クロスポイントスイッチはただ1つである。加算遅延線 (100) を利用する他の実施例においては、受信セルの各々 (264i) が、全ての受信セル (264) についてクロスポイントスイッチが1つしか用いられなかった場合よりも少ない数のスイッチを有する1つの可変利得クロスポイントスイッチを含む。受信セルの各々 (264i) は、音響データを加算遅延線 (100) (図6) へ提供する幾つかの接続 (266) を有する。次に図12を参照して、他の実施例においては、各受信セル (264i) は、前置増幅された音響データを単一の接続 (266i) を介して1つのプログラム可能な遅延素子 (118i) へと提供する。グループ内受信プロセッサは、トランスデューサ信号を13個の受信セル (264) から受信し、そして加算された信号 (122) を受信ビームフォーマのチャンネルの1つに提供する。遅延素子 (118i) により与えられる遅延値によって、選択領域から拡散するエコーが加算される。

【0120】その他の実施例は以下を参照されたい。以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

【0121】1. 被検体部位を画像化するためのフェーズドアレイ音響装置であって：多数のトランスデューサ素子を含む送信アレイ (30A) と；被検体部位に放射される送信音響ビームを生成するように構成及び配列されている前記トランスデューサ素子に接続される幾つかの送信ビームフォーマチャンネル (41i、41j、...41n) を含む送信ビームフォーマ (40) と；幾つかの受信サブアレイ (42i、42j、...42n) に割り付けられている多数のトランスデューサ素子を含む受信アレイ (30B) と；前記幾つかの受信サブアレイに接続する幾つかのグループ内受信プロセッサ (44i、44j、...44n) と、このグループ内受信プロセッサの各々が前記接続するサブアレイの前記トランスデューサ素子から、前記送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列され、前記グループ内受信プロセッサの各々が、前記受信したトランスデューサ信号を遅延させるように配列されている遅延素子 (118i、118j、...118n) を形成する電荷結合素子 (230) と、前記遅延されたトランスデューサ信号を受信して、前記遅延されたトランスデューサ信号を加算するように構成されている加算素子 (120) とを含み、受信ビームフォーマ (46) と、この受信ビームフォーマ (46) が、前記幾つかのグループ内受信プロセッサに接続されている幾つかの処理チャンネル (48i、48j、...48n) と、この処理チャンネルの各々が前記グループ内受信プロセッサから受信した遅延信号によって前記エコーから受信ビームを合成するように構成及び配列されている

構成及び配列されているビームフォーマ遅延機構を含み、前記処理チャンネルから信号を受信して加算するように構成及び配列されているビームフォーマ加算機構 (50) とを含み、そして；前記受信ビームフォーマから受信した信号を基にして前記被検体部位の画像を形成するように構成及び配列されている画像生成器 (58) とを含むことを特徴とするフェーズドアレイ音響装置。

【0122】2. 被検体部位を画像化するためのフェーズドアレイ音響装置であって：多数のトランスデューサ素子を含む送信アレイ (30A) と；被検体部位に放射される送信音響ビームを生成するように構成及び配列されている前記トランスデューサ素子に接続される幾つかの送信ビームフォーマチャンネル (41i、41j、...41n) を含む送信ビームフォーマ (40) と；幾つかの受信サブアレイ (42i、42j、...42n) に割り付けられている多数のトランスデューサ素子を含む受信アレイ (30B) と；前記幾つかの受信サブアレイに接続する幾つかのグループ内受信プロセッサ (44i、44j、...44n) と、このグループ内受信プロセッサの各々が前記接続するサブアレイの前記トランスデューサ素子から、前記送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列され、前記グループ内受信プロセッサの各々が、前記受信したトランスデューサ信号を遅延させるように配列されている遅延素子 (118i、118j、...118n) を形成するサンプルアンドホールド回路 (174o、174i、...174n) と、前記遅延されたトランスデューサ信号を受信して、前記受信したトランスデューサ信号を加算するように構成されている加算素子 (120) とを含み、受信ビームフォーマ (46) と、この受信ビームフォーマ (46) が、前記幾つかのグループ内受信プロセッサに接続されている幾つかの処理チャンネル (48i、48j、...48n) と、この処理チャンネルの各々が前記グループ内受信プロセッサから受信した遅延信号によって前記エコーから受信ビームを合成するように構成及び配列されているビームフォーマ遅延機構を含み、前記処理チャンネルから信号を受信して加算するように構成及び配列されているビームフォーマ加算機構 (50) とを含み、そして；前記受信ビームフォーマから受信した信号を基にして前記被検体部位の画像を形成するように構成及び配列されている画像生成器 (58) とを含むことを特徴とするフェーズドアレイ音響装置。

【0123】3. さらに前記グループ内受信プロセッサに受信遅延プロフィールを同時に提供するように構成及び配列されているコントローラを含み、前記受信遅延プロフィールが、前記グループ内受信プロセッサの1つに接続される前記受信トランスデューサ素子に関わる信号遅延値を含む、1項又は2項に記載のフェーズドアレイ音響装置。

【0124】4. さらに前記グループ内受信プロセッサの各々に受信数を提供するように構成及び配列され



ているコントローラを含み、前記グループ内受信プロセッサの各々が、前記グループ内受信プロセッサの前記受信トランスデューサ素子に関わる受信遅延値を前記受信数から計算するように構成及び配列される少なくとも1個の遅延プロセッサを含む、1項又は2項に記載のフェーズドアレイ音響装置。

【0125】5. 前記グループ内受信プロセッサが、加算遅延線を形成するように配列されている前記サンプルアンドホールド回路及び幾つかの前記加算素子を含む、2項に記載のフェーズドアレイ音響装置。

【0126】6. 前記グループ内受信プロセッサが、前記受信トランスデューサ素子から前記加算遅延線の選択されたタップに信号を接続するように構成及び配列されているクロスポイントスイッチをも含む、5項に記載のフェーズドアレイ音響装置。

【0127】7. 前記クロスポイントスイッチが、前記受信トランスデューサ素子の幾つかから前記加算遅延線の前記タップの少なくとも1つに前記信号を接続するように構成及び配列されている、6項に記載のフェーズドアレイ音響装置。

【0128】8. 前記グループ内受信プロセッサが、前記クロスポイントスイッチに接続する固定利得増幅器のネットワークをも含む、前記ネットワーク及び前記クロスポイントスイッチが、重みつき利得を前記信号に加えて、前記重みつき利得信号を前記加算遅延線の少なくとも1つの前記タップに接続するように配列されている、6項に記載のフェーズドアレイ音響装置。

【0129】9. 前記被検体部位付近に配置可能であり、前記トランスデューサ素子を収容するように構成されているハンドルと、集積された状態に構成されている前記グループ内受信プロセッサを収容するように構成されるコネクタとをさらに含む、1項又は2項に記載のフェーズドアレイ音響装置。

【0130】10. 被検体部位を画像化するためのフェーズドアレイ音響装置であって：多数のトランスデューサ素子を含む送信アレイ (30A) と；被検体部位に放射される送信音響ビームを生成するように構成及び配列されている前記トランスデューサ素子に接続される幾つかの送信ビームフォーマチャンネル (41<sub>1</sub>、41<sub>2</sub>、...41<sub>n</sub>) を含む送信ビームフォーマ (40) と；幾つかの受信サブアレイ (42<sub>1</sub>、42<sub>2</sub>、...42<sub>n</sub>) に割り付けられている多数のトランスデューサ素子を含む受信アレイ (30B) と；前記幾つかの受信サブアレイに接続する幾つかのグループ内受信プロセッサ (44<sub>1</sub>、44<sub>2</sub>、...44<sub>n</sub>) と、このグループ内受信プロセッサの各々が前記接続するサブアレイの前記トランスデューサ素子から、前記送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列され、前記グループ内受信プロセッサの各々が、前記受信したトランスデューサ信号を遅延させるように配列される遅延素子 (118<sub>1</sub>、118<sub>2</sub>、...118<sub>n</sub>) を

形成するアナログRAM素子 (210) と、前記遅延されたトランスデューサ信号を受信し、前記遅延されたトランスデューサ信号を加算するように構成されている加算素子 (120) とを含む；受信ビームフォーマ (46) と、この受信ビームフォーマ (46) が、前記幾つかのグループ内受信プロセッサに接続されている幾つかの処理チャンネル (48<sub>1</sub>、48<sub>2</sub>、...48<sub>n</sub>) と、この処理チャンネルの各々が前記グループ内受信プロセッサから受信した信号を遅延することによって前記エコーから受信ビームを合成するように構成及び配列されているビームフォーマ遅延機構を含み、前記処理チャンネルから信号を受信して加算するように構成及び配列されているビームフォーマ加算機構 (50) とを含む、そして；前記受信ビームフォーマから受信した信号を基にして前記被検体部位の画像を形成するように構成及び配列されている画像生成器 (58) とを含むことを特徴とするフェーズドアレイ音響装置。

【0131】

【発明の効果】開示される超音波撮像装置及び方法は、非常に多くの数のトランスデューサ素子を備えるトランスデューサアレイ (12) もしくはビームフォーマチャンネルよりも多くの数のトランスデューサ素子を備えるトランスデューサアレイを利用する。この撮像装置は、幾つかの送信サブアレイ (31<sub>1</sub>、31<sub>2</sub>、...31<sub>n</sub>) に割り当てられる多数のトランスデューサ素子を含む送信アレイ (30A) と、幾つかの受信サブアレイ (42<sub>1</sub>、42<sub>2</sub>、...42<sub>n</sub>) に割り当てられる多数のトランスデューサ素子を含む送信アレイ (30B) とを含む。また装置は、送信サブアレイに接続され、被検体部位に向けられる送信音響ビームを発生するように構成されて配置される幾つかのグループ内送信プロセッサ (38<sub>1</sub>、38<sub>2</sub>、...38<sub>n</sub>) と、受信サブアレイに接続される幾つかの受信プロセッサ (44<sub>1</sub>、44<sub>2</sub>、...44<sub>n</sub>) とを含む。各グループ内受信プロセッサは、接続されたサブアレイのトランスデューサ素子から、送信音響ビームからのエコーに呼応してトランスデューサ信号を受信するように配列される。各グループ内受信プロセッサは、受信されたトランスデューサ信号を遅延して加算するように構成された遅延及び加算素子を含む。また装置は、グループ内受信プロセッサに接続される幾つかの処理チャンネル (48<sub>1</sub>、48<sub>2</sub>、...48<sub>n</sub>) を含む受信ビームフォーマ (46) を含む、各処理チャンネルは、グループ内受信プロセッサから受信された信号を遅延することによってエコーから受信ビームを合成するように構成されて配列されるビームフォーマ遅延機構と、処理チャンネルからの信号を受信して加算するように構成されて配列されるビームフォーマ加算機構 (加算接続点) (50) とを含む。撮像生成器 (58) は、受信ビームフォーマから受信された信号に基づいて被検体部位の画像を形成するように構成されて配列されている。この装置は寸法、コスト、複雑さの点で実用的であり、十

分に速く動作して、動く身体の器官の二次元画像もしくは三次元画像が得られる。

#### 【図面の簡単な説明】

【図1】フェーズドアレイ超音波撮像システムを図解したものである。

【図2】図1の撮像システムのハンドルに組み込まれた二次元トランスデューサアレイ及び対応する電子部品の概略図である。

【図3】幾つかのグループ内送信及び受信プロセッサに接続される超音波トランスデューサのアレイを有する撮像システムの概略図である。

【図4】図3に示される送信グループ内プロセッサに接続される送信ビームフォーマチャネルの実施例の概略図である。

【図5】図3に示される送信グループ内プロセッサに接続される送信ビームフォーマチャネルの実施例の概略図である。

【図6】図4及び図5の実施例で用いられるデジタルパルス発生器の概略図である。

【図7】図6のデジタルパルス発生器により発生した基準パルスのタイミング図を示す。

【図8】図6のデジタルパルス発生器と共に用いられる送信回路の概略図である。

【図9】フリップフロップ回路で作ったプログラム可能な遅延線の概略図である。

【図10】図9のプログラム可能な遅延線中に用いられるデュアルクロックフリップフロップの概略図である。

【図11】図3のグループ内受信プロセッサ中に用いられる加算遅延線のブロック図である。

【図12】図3のグループ内受信プロセッサ中に用いられる加算接続点に接続するプログラム可能な遅延線のブロック図である。

【図13】プログラム可能な遅延線として用いられる、出力タップ及び入力タップをそれぞれ有するタップ付遅延線の概略図である。

【図14】プログラム可能な遅延線として用いられる、出力タップ及び入力タップをそれぞれ有するタップ付遅延線の概略図である。

【図15】プログラム可能な遅延線として用いられる、出力タップ及び入力タップをそれぞれ有するサンプラ線の概略図である。

【図16】プログラム可能な遅延線として用いられる、出力タップ及び入力タップをそれぞれ有するサンプラ

線の概略図である。

【図17】遅延素子として用いられる能動フィルタの概略図である。

【図18】遅延素子として用いられる能動フィルタの概略図である。

【図19】遅延素子として用いられる能動フィルタの概略図である。

【図20】図15、図16、図17、図18及び図19の実施例において用いられる単位利得バッファの概略図である。

【図21】遅延素子として用いられるスイッチキャパシタフィルタの概略図である。

【図22】遅延素子として用いられるスイッチキャパシタフィルタの概略図である。

【図23】プログラム可能な遅延素子として用いられるアナログランダムアクセスメモリ素子の概略図である。

【図24】アナログランダムアクセスメモリ素子を用いたプログラム可能な遅延線の実用例の概略図である。

【図25】プログラム可能な遅延素子又はプログラム可能な遅延線として用いることができる電荷結合素子の概略図である。

【図26】電荷結合素子を用いたタップ付遅延線の実用例の概略図である。

【図27】図3に示されるグループ内送信プロセッサ及びグループ内受信プロセッサに接続されるトランスデューササブアレイ用の制御回路の概略図である。

#### 【符号の説明】

30A: 送信アレイ、

30B: 受信アレイ、

40: 送信ビームフォーマ、

41: 送信ビームフォーマチャネル、

42: 受信サブアレイ、

44: グループ内受信プロセッサ、

46: 受信ビームフォーマ、

48: 処理チャネル、

50: ビームフォーマ加算機構、

58: 画像生成器、

118: 遅延素子、

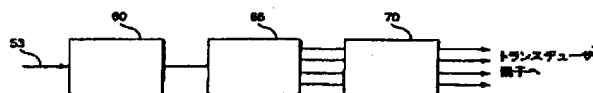
120: 加算素子、

174: サンプルホールド回路、

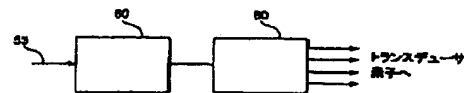
210: アナログRAM素子、

230: 電荷結合素子

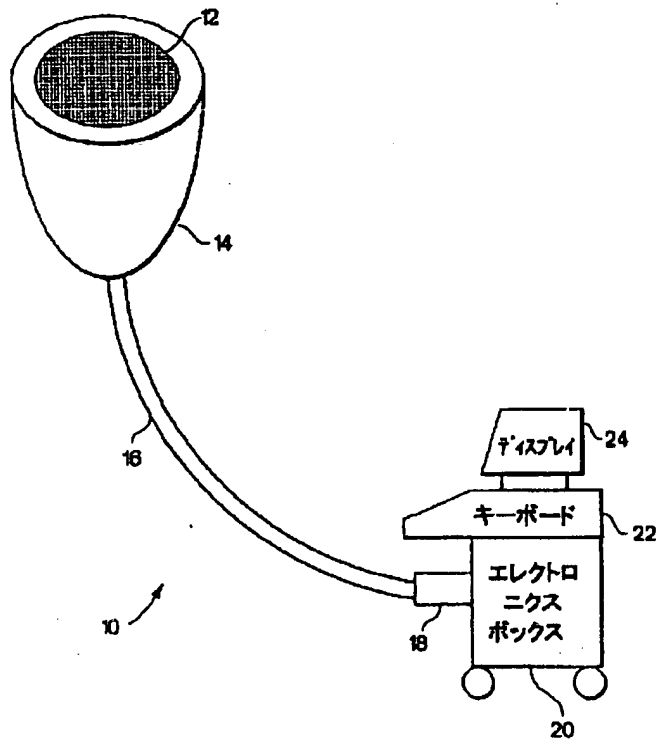
【図4】



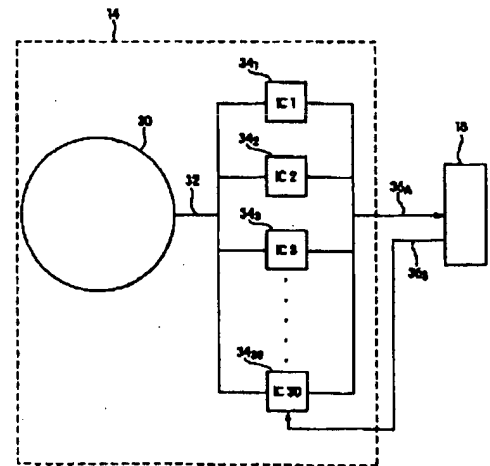
【図5】



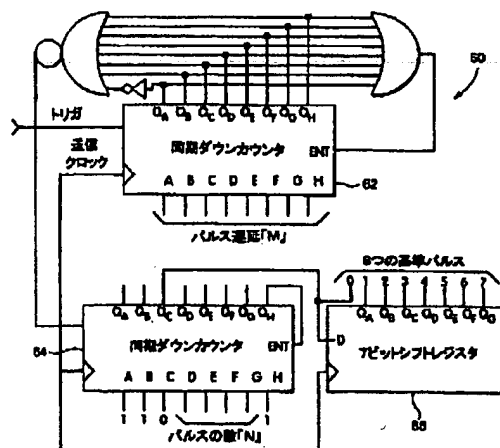
【図1】



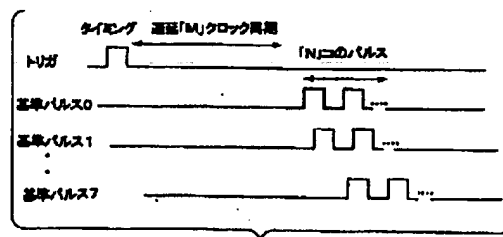
【図2】



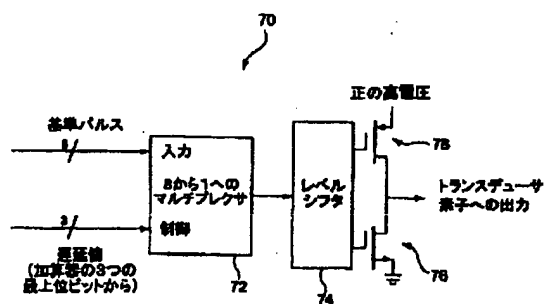
【図6】



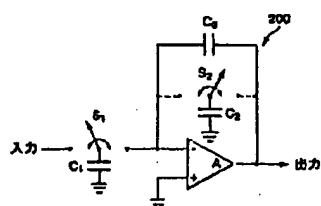
【図7】



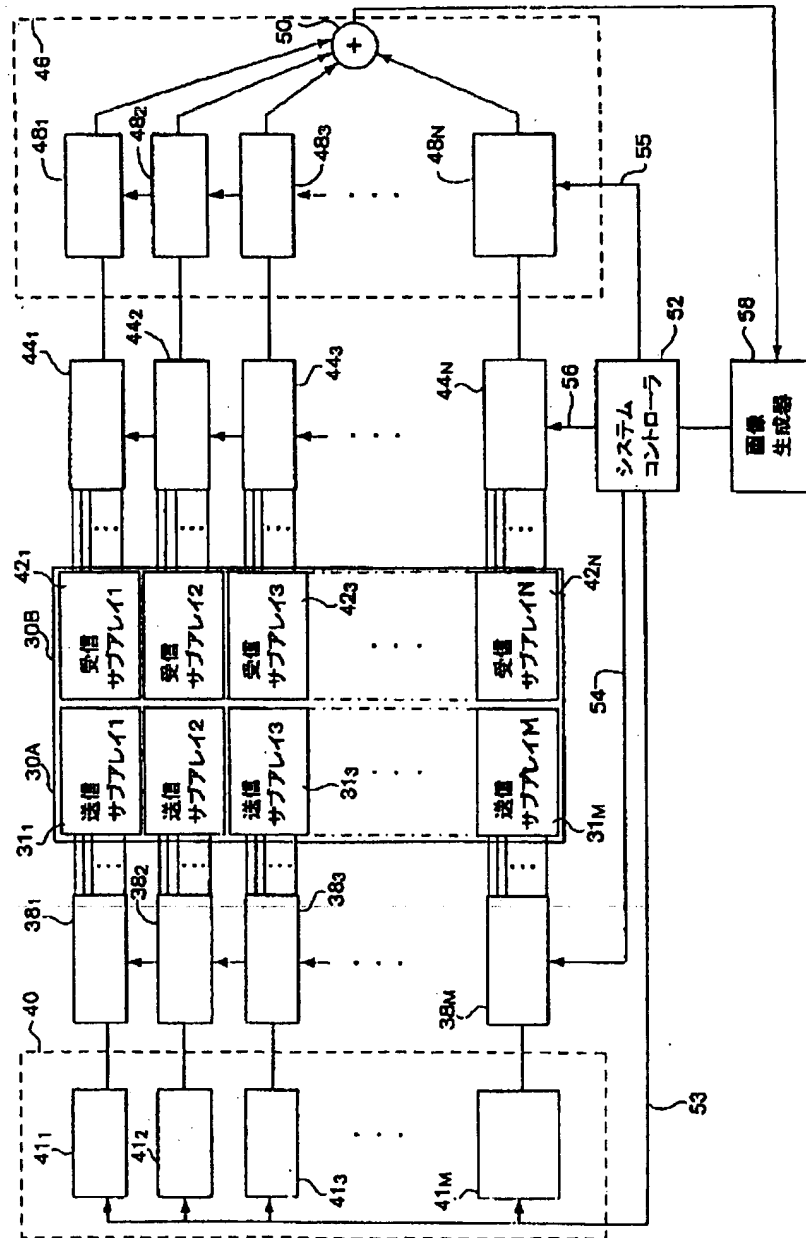
【図8】



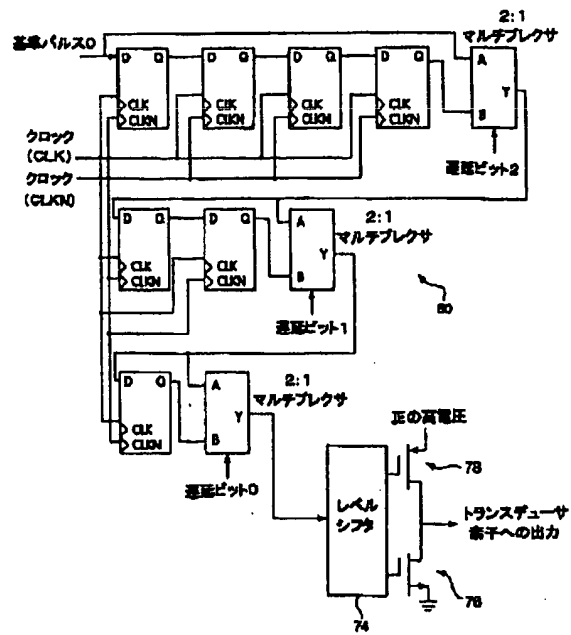
【図21】



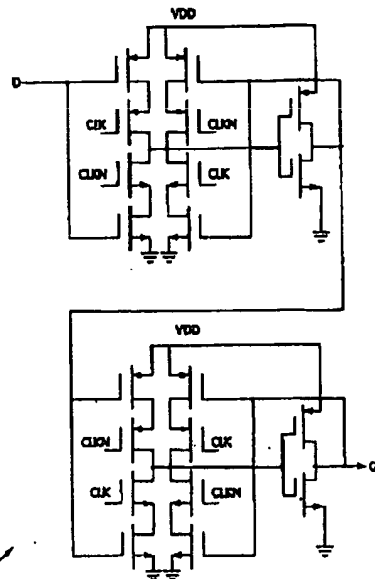
【図3】



【図9】

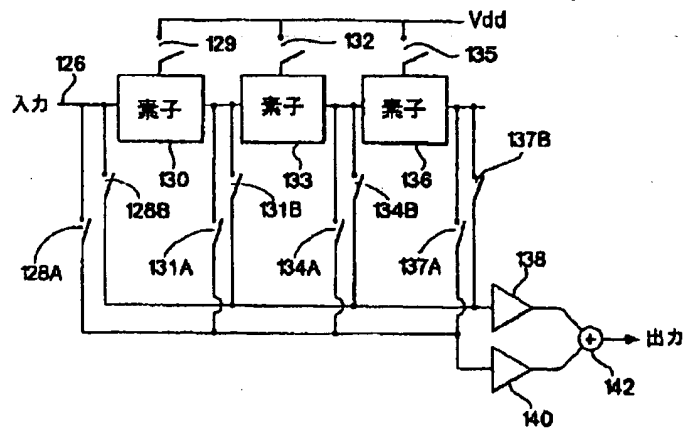


【図10】

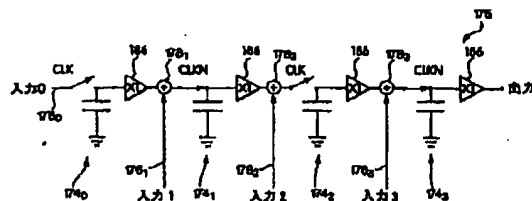


【図15】

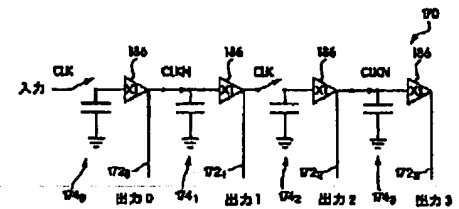
【図13】



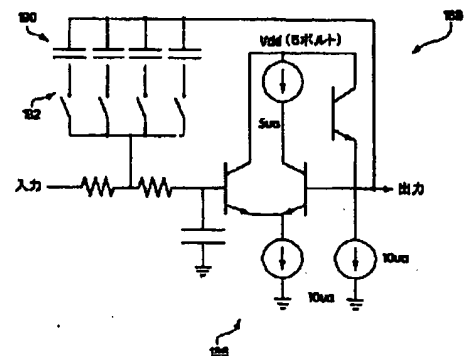
【図16】



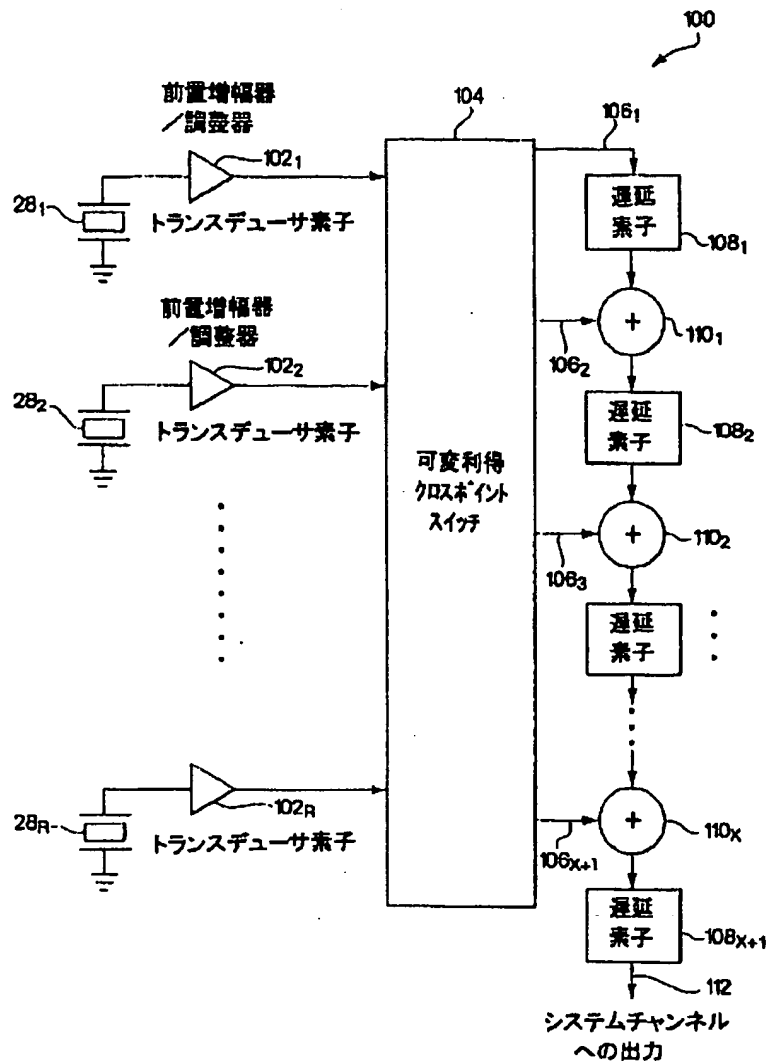
【図14】



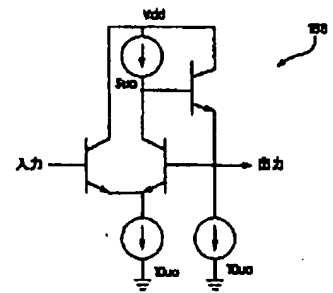
【図19】



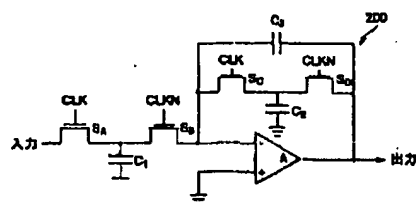
【図11】



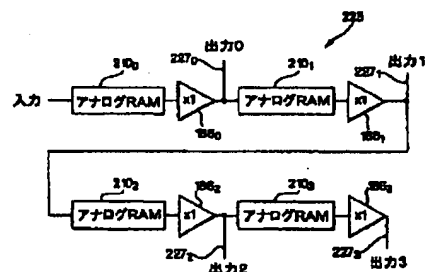
【図20】



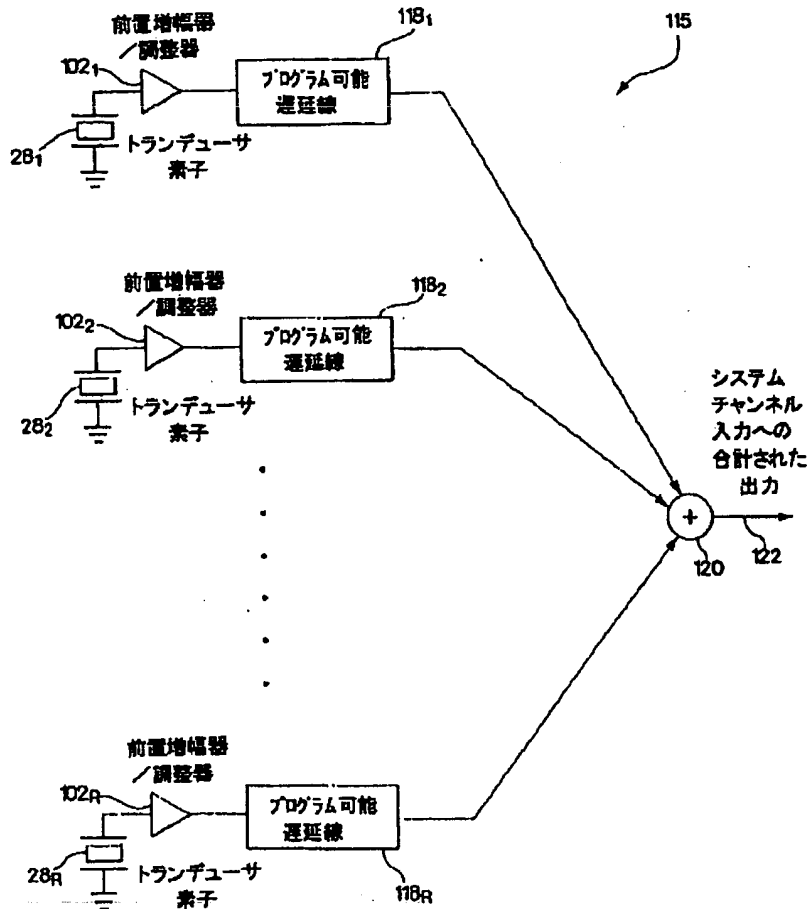
【図22】



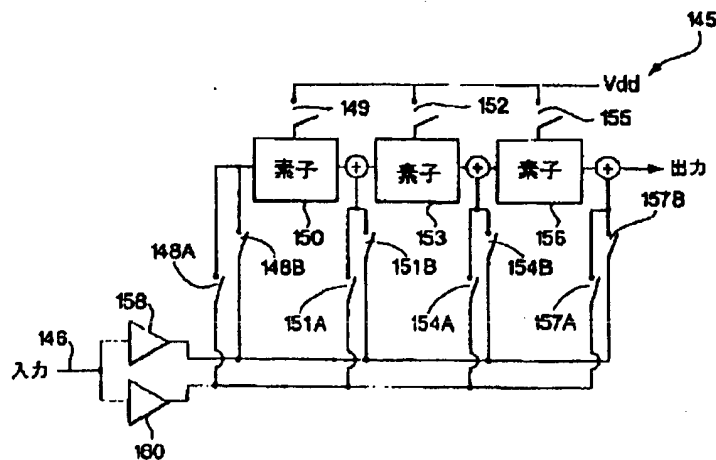
【図24】



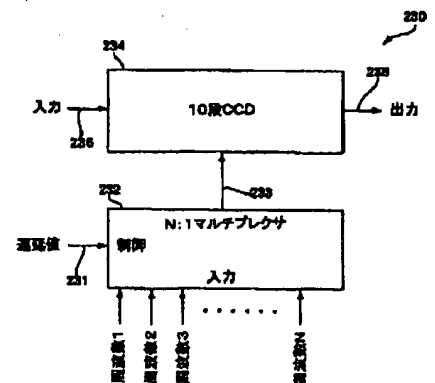
【図12】



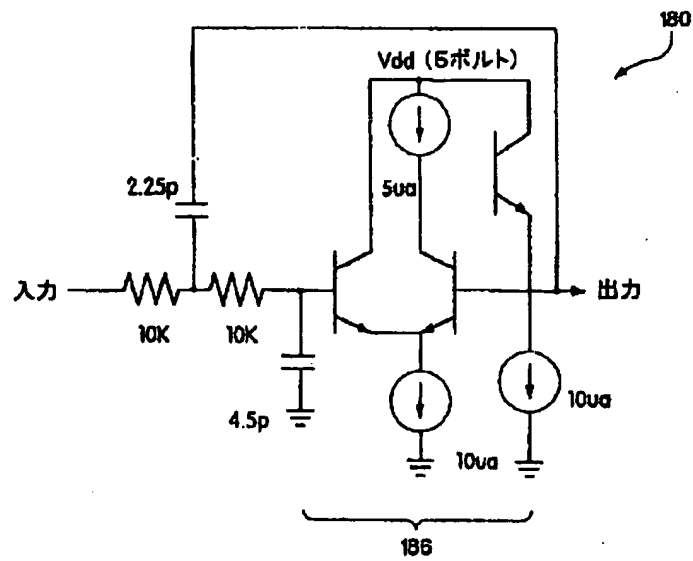
【図14】



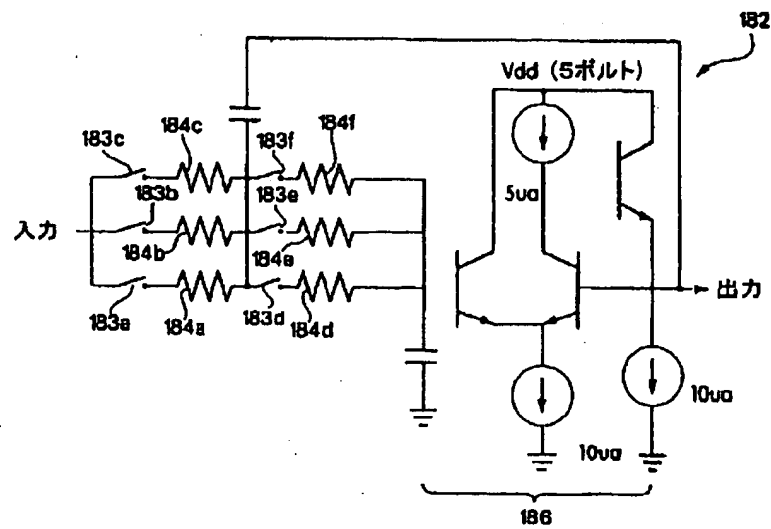
【図25】



【図17】

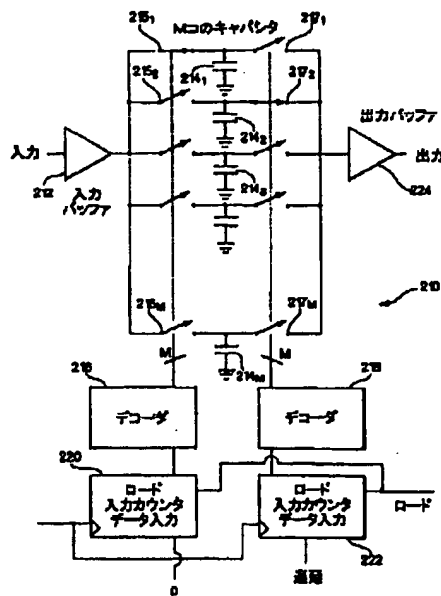


【図18】

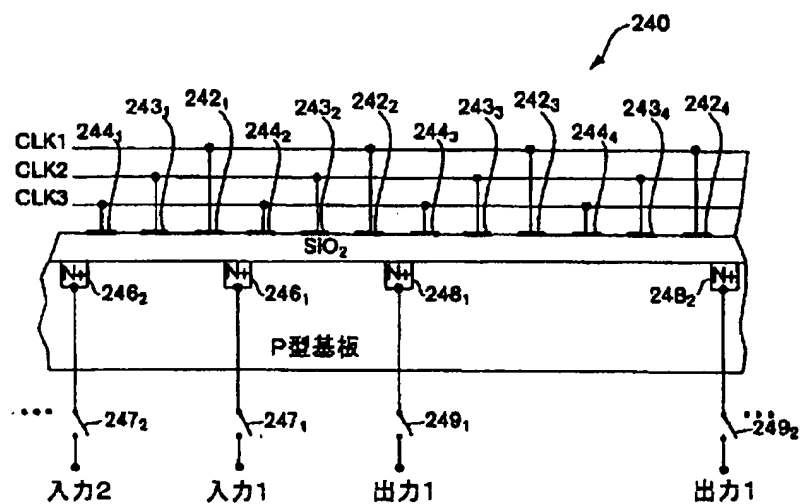




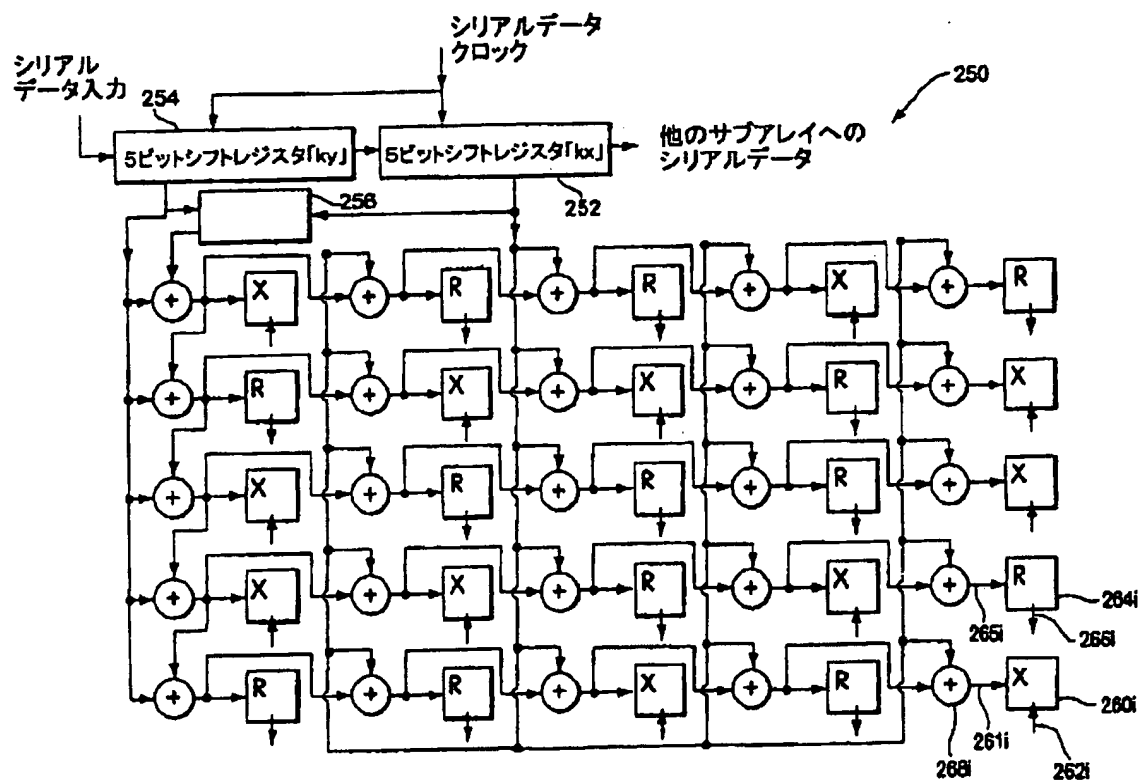
【図23】



【図26】



【図27】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**